

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> H04H 5/66	(45) 공고일자 1999년12월15일	(11) 등록번호 10-0234653
(21) 출원번호 10-1996-0064315	(24) 등록일자 1999년10월18일	(65) 공개번호 특1997-0064204
(22) 출원일자 1996년11월15일	(43) 공개일자 1997년09월12일	
(30) 우선권주장 8/600,711	1996년02월13일	미국(US)
(73) 특허권자 미국 10504 뉴욕주 아몬크 크림프 도웨이 토마스	인터네셔널 비지네스 머신즈 코퍼레이션 포만 제프리 엘	
(72) 발명자 미국 노스 캐롤라이나주 27502 아벡스 아파시 레인 1208 허드 조나단 제임스 미국 켄터키주 40513 맥심론 엔그로브 드라이버 2220 판콕스트 스티븐 태일러 미국 노스캐롤라이나주 27615 레일리 팔레체스 드라이버 1616 워싱턴 로마스 게이 미국 하와이주 96790 마우이 날레 로드 233		
(74) 대리인 김영, 김형세, 장성구		

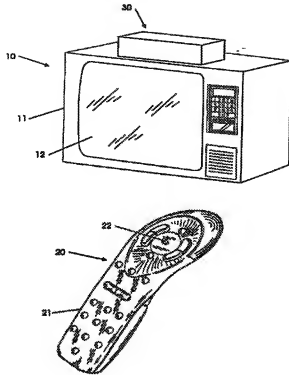
심사관 : 이광택

(54) 비디오 디스플레이 시스템 및 영상 이미지 디스플레이 방법

요약

사용자에게 디스플레이되는 두 개의 아날로그 복합 비디오 신호를 프로세싱하는 방법 및 장치가 개시되어 있다. 이 시스템은 제 1 및 제 2 아날로그 복합 비디오 신호를 각각 발생시키기 위해 적어도 제 1 및 제 2 비디오 소스와, 제 1 및 제 2 비디오 소스에 결합되는 선택기를 포함한다. 선택기는, 비디오 프로세서의 하나의 입력으로 제 1 또는 제 2 아날로그 복합 비디오 신호를 공급하고, 어쨌든 동시에 독립적으로 비디오 프로세서의 제 2 입력으로 제 1 또는 제 2 아날로그 복합 비디오 신호를 공급하도록 동작가능하다. 비디오 프로세서는, 비디오 프로세서의 제 1 입력으로 공급되는 아날로그 비디오 신호의 일부와, 비디오 프로세서의 제 2 입력으로 공급되는 아날로그 복합 비디오 신호의 일부를 포함하는 출력 아날로그 복합 비디오 신호를 발생시키기 위해 CPU의 제어하에 동작가능하다.

도면도



명세서

## 도면의 간단한 설명

제1도는 텔레비전 수신기, 셋 탑 장치, 원격 제어 장치를 포함하는 본 발명의 하나의 실시예의 사시도.

제2도는 제1도의 원격 제어 장치의 확대 사시도.

제3도는 제1도의 셋 탑 장치의 소정의 엘리먼트의 개략적인 블록도.

제4도는 제1도 및 제3도의 셋 탑 장치의 소정의 엘리먼트의 개략적인 블록도.

제5도는 제1도, 제3도, 제4도의 셋 탑 장치의 소정의 엘리먼트의 개략적인 블록도.

제6도는 텔레비전 수신기 및 원격 제어 장치를 포함하는 본 발명의 다른 실시예의 사시도.

제7도는 퍼스널 컴퓨터 시스템 및 부속 입/출력 장치를 포함하는 본 발명의 또다른 실시예의 사시도.

제8도는 제7도의 퍼스널 컴퓨터의 소정의 엘리먼트의 분해 사시도.

제9도는 제8도의 퍼스널 컴퓨터의 소정의 엘리먼트의 개략적인 사시도.

제10도는 본 발명에 따른 제1도 내지 제9도의 시스템을 갖는 제어 프로그램 기능의 구조를 도시하는 도면.

제11도는 제10도에 도시된 구조를 사용하여 구축되는 제어 프로그램의 흐름을 도시한 도면.

제12도 내지 제16도는 본 발명에 따른 동작하는, 제1도 또는 제6도의 텔레비전 수신기 또는 제7도의 퍼스널 컴퓨터 시스템의 디스플레이 스크린을 도시한 도면.

<도면의 주요부분에 대한 부호의 설명>

10 : 텔레비전 수신기

11 : 캐비넷

12 : 디스플레이 장치

30 : 셋 탑 장치

20 : 원격 제어 장치

21 : 하우징

22 : 입력 장치

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은, 소위 "텔레비전 공간(television space)"의 소비자에 의한 사용에 관한 것이다. 즉, 종래에서와 같이, 비디오/오디오 신호 스트림의 사용은, 무선 주파수 밴드(radio frequency bands)를 통한 방송 또는 케이블 배포(cable distribution)에 의해 분배되었거나, 또는 카세트 레코더(cassette recorders) 또는 비디오 디스크 플레이어(video disc player)와 같은 비디오 레코더에 장치, 또는 카세트, 게임 시스템 또는 컴퓨터와 같은 독립적인 라이브 소스(live source)로부터 이용가능하였다. 이러한 비디오/오디오 신호 스트림은, 아날로그 형태로 전송하거나 또는 디지털로 안코딩된 형태로 전송하든지 간에, 대부분의 소비자에게 정보 및 엔터테인먼트(entertainment)의 중요한 자원으로 나타나게 되었다.

종래에, 텔레비전 공간으로의 액세스는 텔레비전 수신기의 사용에 의해 달성되었다. 그 후, 본래의 방법이 변형이 왔으며, 아날로그 신호 스트림을 케이블 박스, 레코더/플레이어, 게임 머신(machine), 홈 키넥트 등과 같은 여러 가지 셋 탑 장치(set top devices)를 사용하여 되었다. 텔레비전 공간 기법에 현재 "가정 극장(home theater)"으로 알려진 것에 접근함에 따라, 상호 접속된 7개 이상의 구성 소자를 갖는 시스템이 가능해졌다. 이러한 시스템에서 여러 개, 또는 심지어 구성 시스템 모두가 각기 원격 제어 장치들 기하 수 있으며, 이에 의해, 사용자(human observer)는 사용가능한 제어 단자를 시스템의 장면에서 직접 조작할 필요가 없어 지각의 구성 시스템의 기능을 제어할 수 있다. 시스템이 확산됨에 따라, 사용자는 변형하여 원격 제어 장치의 확산과 대안하게 된다.

최근, 텔레비전 공간을 사용하는 콘솔한 장치 및 소자가 확산됨에 따라, 예를 들어 TV, 비디오 레코더/플레이어(VCR) 장치, 케이블 박스, 카세트, 게임 시스템 등과 같은 장치 및 구성 요소를 접속할 때 해결해야 할 많은 문제점이 또한 발생되었다. 이들 문제점은 구성 요소들간에 복잡한 상호접속 케이블링(cabling)을 포함하여, VCR, 다수의 원격 제어 장치 및 이들 TV에 접속되는 관련 하드웨어를 프로그래밍하는데 있어서의 어려움을 포함한다.

본 발명은 VCR, 케이블 박스, 정보 서비스, CD-ROM, 게임, 카세트, 튜너(tuner)를 단일 시스템으로 결합시키는 고도로 집적된 시스템을 제공함으로써 이들 문제점을 해결할 수 있는 방안을 제공한다. 본 발명에 따른 시스템은 다수의 시청(viewing) 및 레코딩 옵션을 선택하기 위한 아날로그 멀티플렉서를 포함한다. 또한, 시스템, 비디오, 그래픽, 전자 프로그램 안내(electronic program guide, EPG) 정보를 위한 단일 메모리 인터페이스가 제공된다. 또한, 전체 시스템의 지령들로 액세스할 수 있는 단일 원격 제어 장치가 제공된다. 이 원격 제어 장치는 그 지령들과 관련하여, 사용자가 의해 작동되는 최소한의 버튼을 갖고 있다.

#### 발명이 이루고자 하는 기술적 과제

전술한 바와 같이, 획득된 시각 이미지를 디스플레이하는 시스템을 통해 액세스되는 서비스 또는 기능을 선택하는데 있어서, 텔레비전 공간, 또는 원리의 유사한 디스플레이에서 사용가능한 다중자의 프로그래밍을 돕는 것이 본 발명의 하나의 목적이다. 이 목적을 달성하기 위해, 본 발명은 사용자에게 디스플레이되는 것이 아날로그 복합 비디오 신호를 프로그래밍하는 방법 및 장치를 제시한다. 특히, 본 발명은, 제 1 및 제 2 아날로그 복합 비디오 신호를 각각 발생시키기 위한 적어도 제 1 및 제 2 비디오 소스와, 제 1 및 제 2 비디오 소스에 결합되는 선택기를 포함한다. 선택기는, 비디오 프로세서의 하나의 입력으로 제 1 또는 제 2 아날로그 복합 비디오 신호를 제공하고, 이와 동시에 복합적으로 비디오 프로세서의 제 2 입력으로 제 1 또는 제 2 아날로그 복합 비디오 신호를 제공하도록 동작한다. 비디오 프로세서는 비디오 프로세서의 제 1 입력으로 공급된 아날로그 복합 비디오 신호의 일부와, 비디오 프로세서의 제 2 입력으로 공급된 아날로그 복합 비디오 신호의 일부를 조합하는 출력 아날로그 복합 비디오 신호를 발생시키도록 동작한다.

#### 발명의 구성 및 작용

본 발명의 몇몇 목적은 기술되어 있으며, 그 밖의 다른 목적은 첨부된 도면과 관련하여 설명에 진행됨에 따라 제시될 것이다.

본 발명은 본 발명의 비장착된 실시예가 도시된 첨부 도면을 참조로 이하 더 상세히 기술되며, 설명을 시작하기 전에, 본 기술 분야에서 통상의 지식을 가진 자는, 본 발명의 비장착된 결과를 달성할 수 있는 한, 본 명세서에 개시된 발명을 변경할 수 있음을 주의해야 한다. 따라서, 이하의 설명은, 본 발명을 한정하는 것이 아니라, 본 기술 분야에 통상의 지식을 가진 자에게 넓은 의미의 개념들로 제시됨을 주의해야 한다.

본 발명의 특정 실시예를 상세히 설명하기 위해, 본 발명이 실행되지는 환경에 대해 약간의 설명을 제시하는 것이 유용하리라고 생각된다.

좀 더 확립된 형태에 있어서, 본 발명은 비디오 디스플레이 장치, 비디오 디스플레이 장치에 의해 시각 이미지 및 디스플레이를 표시하기 위한 회로, 디스플레이에 제어, 원격 제어 장치를 갖는 시스템을 사용하여 실행된다. 가장 단순화된 형태에 있어서, 본 발명은 원격 제어 장치 및 디스플레이 제어기의 사용을 통해 실행될 수 있다.

본 명세서에 개시된 본 발명의 설명에 유용한 비디오 디스플레이 장치는 텔레비전 수신기와 같은 소비자 전자 시스템 및 피스-넛 컴퓨터 시스템에서 종래의 사용된 것과 같은 글래스 엔벨롭(glass envelope) 음극관(CRT), 다수의 증폭을 위한 디스플레이에서 사용되는 것과 같은 텔레비전 프로젝터, 유사하게 사용되는 액정 디스플레이(LCD), 가스 플라스마 디스플레이(gas plasma display), 그 밖의 다른 광반 디스플레이(light emitting displays)를 포함하는 것으로 생각된다. 나열된 장치의 유형은 예시로서만 제시하였으며, 본 발명에서 유용한 디스플레이 유형은, 통상적으로 사용되는 것이 아니거나, 또는 이 설명을 기술하는 시점에서는 알려지지 않은 그 밖의 다른 유형이 디스플레이 장치로서 나열된 장처에 의해 제시되는 디스플레이에 유사한 방식으로 사용자에게 시각 이미지를 디스플레이할 수 있는 장치를 포함하도록 확장될 수 있다고 생각된다.

이런 경우에도, 디스플레이는 비디오 신호를 비디오 디스플레이 장치로 전송 할 수 있는 회로를 결합한다. 이러한 비디오 신호를 비디오 디스플레이를 구동시켜 시각 이미지를 디스플레이하게 한다. 이러한 회로는, 사용자에 의해 직접 생성되는 주파수 범위 밖이고 적절한 프로세싱 후 영상 디스플레이를 발생시킬 때까지 전송하는 주파수에서, 전송되거나 본래는 비디오 신호 스트림을 수신하기 위한 채널로 또는 디지털 유닛을 포함할 수 있다. 이러한 회로의 특징에는 이와 유사한 것들이 있다. 그러나, 회로는 텔레비전 수신기에만 있는 것에서 사용되는 셋 탑 장치, 텔레비전 수신기, 퍼스널 컴퓨터 시스템, 또는 소비자 전자 시스템의 그 밖의 다른 유형에서 전형적으로 발견되는 것들을 포함할 수 있다.

이러한 회로는 전달되며, 이러한 회로를 통과하는 비디오 신호 스트림은 여러 가지 특성을 가질 수 있다. 압축되는, 전송 또는 저장될 용이하게 하기 위해 프로세싱에 의해 몇몇 정보가 밀집되거나 압축되어 있는 압축된 신호일 수 있다. 이러한 압축 기법중 하나는 MPEG(Moving Picture Expert Group)에 의해 특허화되는 것이다. 이러한 경우, 회로는 비디오 신호 스트림의 압축편을 위한 설비(provision)를 포함할 수 있다. 스트림은 압축되지 않은 신호일 수도 있다. 스트림은 종래의 NTSC 또는 PAL 방식 텔레비전 특성과 같은 아날로그 정보일 수 있으며, 또한 아날로그 정보를 디지털 형태로 변환 디지털로 제공 디지털로 변환 디지털 정보를 포함할 수 있다. 스트림은 또한 디지털, 기록되는 아날로그 정보에 전송되고, 수신되어 디스플레이되어서는 안 되는 미에서 "라이브(live)"일 수 있다. 신호의 본래는 방송, 또는 케이블, 광통신 등과 같은 몇몇 형태의(broadcast) 본래 방법에 의해 이루어질 수 있다.

본 발명의 상세한 설명에 개시된 본 발명의 모든 실시예에서, 비디오 신호 스트림은 디스플레이 장치의 제어 하에 비디오 디스플레이 장치로 전송된다. 이하 더 상세히 기술되는 바와 같이, 디스플레이 제이기는 여러 기술 중 여러 가지 상이한 환경에서 이용될 수 있다.

이러한 환경중 하나는, 본 발명에 의해 고려되는 바와 같이, 케이블 본래 네트워크에 의해 비디오 스트림이 전송되는 많은 가정에서 사용되는 바와 같은, 케이블 튜너 시스템의 형태일 수 있는 셋 탑 장치에 의해 제공된다. 셋 탑 장치는 암호화(encryption)되거나 암호화되지 않고 디지털 형태로 본래되는 비디오 신호 스트림을 디코딩할 수 있는 능력을 갖는다. 셋 탑 장치는 또한 VHS 테이프 또는 비디오 디스크와 같은, 기록/재생 기능을 구비하는 장치의 형태일 수 있다. 셋 탑 장치는 또한 개성 미산으로 분리된 형태일 수 있으며, 이러한 형태로는 인텐도(intendo) 및 세기(sep)에 의해 제공되는 시스템에 가장 잘 디자인되었다. 셋 탑 장치는 백 채널(back channel) 능력을 구비할 수 있어서, 본래 링크를 직접 할당하거나, 또는 종래의 전화선과 같은 변형 채널을 통해 본래 시스템으로 신호를 복구시킬 수 있게 한다. 셋 탑 장치는 본 발명의 상세한 설명에서 상세히 개시되지 않은 다른 것뿐만 아니라, 간략하게 기술된 시스템의 몇몇 또는 모든 능력을 포함할 수 있다.

이러한 셋 탑 장치중 하나가 도 1에 특별히 도시되어 있으며, 여기에는 텔레비전 수신기(10), 원격 제어 장치(20) 및 셋 탑 장치(30)가 도시되어 있다. 텔레비전 수신기(20)는 비휘발하게, 텔레비전 수신기(20)의 임의의 고정 지로부터 임의의 소비자에게 이용가능한 유향의 장치이며, 본래 비디오 디스플레이 장치(12)가 구성된 하우징 또는 캐비닛(11)을 갖는다. 전술한 바와 같이, 디스플레이에 내부에 비디오 신호를 입력하는 하나의 형태일 수 있으며, 또한 사용자에 의해 직접 생성되는 주파수 범위 밖의 주파수에서 전송되는 신호를 수신하고, 사용자에 의해 인식 가능한 시각 이미지를 디스플레이하기 위해 비디오 디스플레이 장치를 구성하는 비디오 신호를 비디오 디스플레이 장치로 전송하기 위해, 비디오 디스플레이 장치에 결합한 비디오 수신 회로(도 1에 도시되지 않음)가 하우징 또는 캐비닛(11)내에 하우징된다. 텔레비전 수신기는 NTSC 또는 PAL 표준의 방송 신호를 수신하도록 구성된 것일 수 있으며, 또는 케이블 서비스 제공자에 의해 본래되는 것과 같은 다른 아날로그 신호를 직접 수신할 수 있는 디지털을 구현하는 "케이블 래디(cable ready)" 수신기일 수 있다. 본 발명의 상세한 설명 및 개시하는 것에서 이러한 세트가 소비자 제품으로서 상업적으로 용이하게 이용가능하게 될 수 있지만, 텔레비전 수신기는 디지털 데이터 스트림을 수신하도록 구성된 것일 수 있다. 이러한 수신기에 대한 회로의 상세한 설명은 다수의 기술적 참조 문헌에서 발견될 수 있다.

비디오 수신 회로는, 디스플레이되는 시각 이미지를 처리하는 아날로그 정보와, 이러한 시각 이미지를 처리하는 디지털로 부호화된 정보, 또는 이러한 시각 이미지를 처리하여 디지털로 부호화된 압축된 정보를 전송하는 신호를 수신할 수 있는 것으로 고려된다. 이러한 신호는 방송 전송 또는 케이블 전송 또는 안광학적 전송 또는 원격 통신 네트워크를 통한 전송에 의해 전송되는 것으로 고려된다.

원격 제어 장치(20)의 한 형태가 도 1 및 도 2의 200에 도시되어 있다. 비휘발하게, 제어 장치(20)는 텔레비전 수신기(10)로부터 디스크 떨어진 거리에서 사용 가능한 3 초 원격 제어 장치이다. "3 초"이라는 말의 의미는 이하의 상세한 설명으로부터 더 명확해질 것이다. 제어 장치(20)는 디스플레이 장치상에서 디스플레이되는 이미지를 처리하는 사용자의 손에 들어갈 크기로 된 하우징(21)을 갖는다. 하우징은, 사용자의 손에 편리하게 들어갈 수 있도록 특별히 설계된 것으로 도시되었지만, 원격적으로 손에 잡을 수 있으며 어떠한 구성이든 하우징을 포함할 수 있다. 또한, 제어 장치(20)는 사용자에 의한 조작을 위해 하우징(21)내에 장착되어 수동으로 작동가능한 원격 장치(22), 하우징내에 장착되고 원격 장치(22)에 결합되어 사용자에 의해 직접 생성되는 주파수 범위 밖의 주파수에서 서전송된 방식으로 구성된(coordinated) 명령 신호를 사용자에 의한 원격 장치(22)의 조작으로 전송하기 위한 전자 전송 회로(도 2에 도시되지 않음)를 구비한다. 도시되지 않았지만, 이러한 회로는, 텔레비전 수신기 및 오디오 시스템과 같은 소비자 전자 시스템에 의해 널리 사용된 것과 같은 보다 전형적인, 손에 잡을 수 있는 원격 제어 장치에서 사용된 것일 수 있다. 이와같이, 이 회로는 이러한 장치의 제조 방법을 미룰 수 있다.

원격 장치의 3 초" 특성은 "눌러서 선택(press to select)" 특성으로 또한 알려진 것일 수 있다. 다르게 기술되는 바와 같이(그리고, 이 설명은 본 발명의 다른 실시예를 포함한다), 원격 장치는 측면에서 회전으로, 사용자의 손으로 할당되거나 밀려나거나, 장치(22)의 중심에 위치한 원(circle) 주위의 임의의 지점을 할당하여 조작될 수 있다. 이러한 조작을 방위도(compass rose)의 개념에 의해 설명하면, 측면 대 측면 또는 중심 대 중심의 이동이며, 사용자의 손으로 할당하거나, 밀려지는 동작은 남북방향으로 이동될 수 있다. 이 분석에서, 장치(22)는 컴퍼스(compass)의 360° 중 임의의 한 지점으로 향하는 이동을 지시할 수 있다.

이한 식으로 조작될 때, 원격 장치(22)는, 본 발명에서, 커서(cursor) 또는 포인터(pointer) 디스플레이를 애플렛과, 디스플레이 장치(12)에 의해 제공되는 화면을 가로지르는 이동을 실행하도록 하는 신호를 발생시킬 수 있다. (이러한 설명으로부터 더 명확해지는 바와 같이) 이러한 조작이 디스플레이된 시각 이미지를 적절한 부분으로 이동된 위치지정하게 되면, 이러한 애플렛에 의해 지시되는 이동은 원격 장치(22)를 비프로세서 선택할 수 있다. 따라서, (전술한 바와 같은) 범위도의 지점으로의 이동은 2 축상의 이동이며, 압력 장치(22)

2)를 누르는 것은 세 번째 측에 따른 이동이다. '3' 측 원격 제어 장치라는 용어를 발생시키는 것은 포인터 위치장치를 위한 두 개의 측과 측과 측 선택을 위한 세 번째 측이다.

입력 장치(22)는, 바퀴 하나의 형태로 도시되었지만, 여러가지 형태를 취할 수 있다. 특히, 장치(22)는 본 명세서에서 '위글 스틱(wiggle stick)'으로 일컬어지는 것으로 도시된다. 본 설명에서, 위글 스틱은 원격 제어 장치(20)의 하우징(21)내에 바퀴(pivot)되는, 이동부들 움직이는 가능하고 긴 부재(elongate member)이다. 스트레인 제이저(strain gauge) 부착 장치 또는 다른 전기기계적 센서일 수 있는 적절한 센서에 의해, 위글 스틱상에 개입된 입력 또는 다른 입력(들)과 관련된 사용자에 의한 조작을 지시하는 전기 신호로 변환된다. 입력 장치(22)의 다른 형태는, (플래터바트 수신을 위한 개입 기계 부속물에 사용되거나, 사용자에게서 오는 개입 움직임에 반응되는 장치와 유사한) 외벽 플레이트(wobble plate), 트랙패드, 마우스, 또는 관성(inertia) 마우스일 수 있다. 후자의 두 개의 장치에서, 종래의 개인용 컴퓨터 시스템에서 사용된 마우스는 디스플레이 장치에 의해 제공되는 화면에 따라 커서 또는 포인터 디스플레이를 이동시키는 방식으로 발생시키기 위해 사용자에 의해 이동되는 표상상에 놓이는 반면, 관성 마우스는 자체에 포함된 관성 플랫폼을 포함하여, 공기중에서와 같이 표면에 놓이는 상태에 조력될 수 있다. 정제에서 두 가지는 다르다. 이러한 점들은 본 명세서에 예제(air) 마우스로 또한 일컬어진다.

원격 제어 장치(20)는 여러 가지 방식중 하나의 방식으로 (이하 더 상세한 설명을) 디스플레이 제어기에 결합된다. 도 1 내지 도 60은 도시된 형태에서, 원격 제어 장치(20)는 하우징(21)내에 입력의 명령 전송기 회로에 의해 결합되며, 사용자에게 의해 직접 생산할 수 있는 주파수 범위 밖의 주파수에서 사정성공률 방식으로 구축된 명령 신호를 사용자에 의한 입력 장치의 조작으로 전송하기 위해 입력 장치(22)에 결합된다. 다른 포인터 제어 장치와 관련된 본 기술 분야에 통상의 지식을 가진 자에게 알려진 바와 같이, 이러한 명령 신호는 적외선 방식 상 발송기, 무선 주파수 발송기, 또는 초음파 발송기에 의해 발송될 수 있다. 다른 형태에서, 도 7 내지 도 8의 피스널 컴퓨터 시스템과 연관되어 여러 기술들 명령 신호는 가늘고 긴 유선상의 전도체를 통해 전송될 수 있다.

셋 및 장치(30)중 하나의 형태는 도 3 내지 도 5에 설명한 도시되어 있으며, 이들 도면을 참조로 상세히 기술할 것이다. 그러나, 본 명세서에 기술된 특정 장치는 관습적 바퀴와 같은 다수의 여러 가지 움직임을 하나일 뿐일 뿐이지는 않다. 기술된 상세에는 배열되지 않고 도 3에 도시된 장치(30)의 엘리먼트들에서 많은 신호가 통과하는 이바로부터 멀티플렉서(31)를 지난다. 이바로부터 멀티플렉서(31)에 도달하는 신호는 세 1 또는 세 2 루트(34, 35) 또는 케이블 인터페이스(36)를 통해 안테나 또는 케이블 커넥트(32)으로부터 들 수 있다. 케이블 인터페이스는 단일 사용(‘시청 첫수보로 지불(pay per view)’) 또는 텔레비전 원격(예와) 단방향 보안성인 인코딩된 신호 스트림의 복호화(description)를 허용할 수 있다. 이바로부터 멀티플렉서(31)는 또한 MPEG 프로세서(38), 비디오 프로세서(39), CIS 비디오 코덱으로 개조된 레코더/플레이어 또는 비디오 디스크 플레이어와 같은 비디오 기록/재생 장치(40), 및 카메라, 보조 기록(42)을 통한 카세트(도 5에서)와 같은 다른 보조 보조(44)를 포함할 개별 라인(도시되지 않음)과 같은 보조 장치의 출력으로부터 도출(conduct)으로서 가능하다.

비디오 프로세서(38)는 셋 및 장치의 중심적인 엘리먼트이다. 관습한 엘리먼트 이외에도, 프로세서(38)는 시합 메모리(45), 이바로부터 오디오 장치(46), 중앙 처리 장치 또는 CPU에서 동작하는 이미지 프로세서(48), 플래터 메모리(flash memory)(49), 적외선 수신기/발신기(biastet)를 포함하는 I/O 프로세서(50), 확장 버스(50), 케이블 또는 전화 모듈(52), 컴퓨터 디스크 또는 CD 드라이브(54)와 연결하거나 접속된다. 이들 엘리먼트들 각각은 이하 설명에 설명될 기능을 실행한다.

비디오 프로세서(39)는 도 5에 관해 설명하는 부분에서 상세히 설명될 것이다. 비디오 프로세서(39)는 이중(dual) VBI 디코더, 동기 추출기(sync extract), 렌치(lock) 및 타이밍 장치, 메모리 리프레셔(refresher), 비디오 제이거, 비트러(biller) 그래픽 코프로세서, CO 드라이브 제이거, 디지털 신호 프로세서(DSP), 사운드 프로세서, 6 개의 기능한 버스 마스터(CPU, 비트러, DSP, 메모리 리프레셔, 비디오 제이거, 및 CO 드라이브 제이거)의 사일링 회로에 대한 액세스를 중재하기 위한 중재자(arbitrator)와 기능 블록을 포함하는 여러 중분할 것이다. 중재자는 본 명세서에서 픽셀 및/또는 라인, 장치와 우선 순위 블록을 제어하며, 비디오 프로세서(39)내의 모든 장치와 전기적 회로 통신을 한다. 예를 들면, CPU(48)는 인터럽트 기기를 발생할 때까지 모든 버스 마스터들 우선 순위가 가능 하다. 따라서, 중재자는 CPU에 대한 인터럽트와 및 인터럽트 제이거 양쪽과 전기적 회로 통신 상태에 있다.

시스템(30)의 두 개의 루트(34, 35)는 표준 방송 또는 (안테나 또는 케이블 접속(32)으로부터 수신되는) 케이블 기반 입력을 지원하며, 표준 이바로부터 복합 비디오 출력을 제공하도록 구성될 수 있다. 루트(34, 35)는 모두 인터페이스(32)로부터 인접한 RF 방송 스텍트들을 수신한다, 및 루트는 전형적으로 심한 주파수로 튜닝된다. (본 발명의 상세한 설명에서 사용되는) ‘복합’ 비디오라는 용어는 단일 색상과 동시성 모두를 디스콜레이션하는 필요로 모든 정보를 함유하는 원격 전송의 신호를 일컫는다. 이는 수평 및 수직 동기, 및 타이밍 이, 컬러 및 필드 싱크(크로마인산(chrominance))의 개별적인 픽셀 및/또는 라인(lum)과 더 큰 신호를 포함하는 라인에 대한 알려진 포함한다.) 채널 선택 및 다른 루트 파라미터들 소비자 제품에 대한 잘 알려진 프로토콜 IIC(22) 직접 인터페이스를 통해 제어된다. 루트(34, 35)는 필립스(Philips)(P/N F 11236) 및 그 밖의 다른 공급자들로부터 이용가능하다. 필립스는 또한 단일 루트 출력을 취하며, 이들 출력 및 오프로로 분리된 오디오 신호로 변환시키는 IFA5082 스테레오 디코더를 공급한다.

루트 출력은 케이블 각도자에 의해 공급될 수 있는 선택에 의한 케이블 인터페이스 모듈(36)에 접속한다. 각 케이블 회로는, 후속되는 프로세싱 및 디스플레이를 위해 표준 비디오 신호를 재구성하는 고유의 각 회로 세트들 필요로 하는 프레임 재배열 스크램블링(scrambling)하기 위한 고유의 서스플렉스 기술 수 있다. 케이블 인터페이스(36)는 두 비디오 신호와 디스크램블링(descrambling)을 지원할 수 있어서, 사용자는 두 개의 프레임당 세트를 동시에 시청 및/또는 기록할 수 있다.

시스템(30)내에 구성될 수 있는 비디오 기록/재생 장치(40)(매출 들면, VCR 또는 비디오 디스크)는 복합 비디오 및 오디오를 입력, 출력, 재생한다. VCR(40)은 채널, 기록, 재생, 및 기타, 예를 들어, 프레임 진행(frame advance), 그 밖의 다른 기능은 IIC 또는 임의의 다른 저지(low cost) 프로토콜을 사용하여, 예를 들어, 타이머를 통해 제어된다. 적절 인터페이스 제이거 VCR는 골드스타(Goldstar), JVC, 파나소닉(Panasonic) 및 그 밖의 다른 공급자들로부터 이용가능하다.

선택에 의한 MPEG 압축된 모듈(38)은 복합비디오 및 오디오 신호를 또한 제공되는 시스템에 부가될 수 있다. MPEG 압축된 칩은 IBM, 텍사스 인스트루먼트(TI), SGS, 톰슨(Thomson), C-Cube, 및 그 밖의 디



를 사용하는 직렬 장치에 대한 인터페이스로서 사용되도록 설계된다. 급격한 동기 포맷이 여와 달리 사용될 수 있다.

확장 버스(51)는 엔트리(entry) 레벨 제품을 위한 비매칭 16 비트 마이크로 프로세서 로컬 버스(51)의 코스트(cost)를 감소시키면서, 동시에 부가적인 특징(feature)에 대한 확장 경로를 가능하게 한다.

시스템(30)은 또한 정보 서비스 및 소프트웨어 객선에 필요한 양방향 통신을 제공하는 모뎀(52)을 구비한다. 모뎀(52)은 비디오 프로세서(39)내에 내장된 디지털 신호 프로세서 및 부가적인 아날로그 로직을 사용하는 전화 모뎀일 수 있다. 이와 달리, 모뎀(52)은 양방향 케이블 지원용 유선(G4 QAM 또는 16VSB과 같은)케이블 모뎀일 수 있다.

시스템(30)은 오디오, 디지털 MPEG 영상, 데이터 CD를 작동시키는데 사용되는 선택에 의한 CD-ROM 드라이브(54)를 포함한 수 있다. CD 드라이브(54)는 적절 데이터 스트림을 비디오 프로세서(39)로 제공한다. 비디오 프로세서(39)는 적절 데이터 스트림을 디코딩하며, 프로세싱한다. CD 드라이브(54)는 비디오 프로세싱과 관련하여 동시에 동작한다. CD 드라이브(54)에 대한 제어는 IIC 인터페이스 또는 다른 적절 프로토콜을 통해 제공된다.

전술한 버스, 제어, CPU(48)는 본 기술분야에 잘 알려진 DATA 버스, ADDRESS 버스, CONTROL 버스와 같은 다수의 버스 발생시킨다. 이들 3 개의 버스는 통합하여 SYSTEM 버스로 일컬어진다. 비평가적인 실시예에서, CPU(48)는 플러프노이아 950151 상태 클러터 버퍼에 3065에 위치한 인텔사(Intel Corp.)에 의해 제조되는 603760이다. 이 603760은 본 기술분야에 잘 알려져 있으며, 인텔사로부터 이용가능한 잘 알려진 80386SX의 변형이다. 80376은 16-비트 모드가 아니라 32 비트 모드에서 가동(start up)한다는 점에서 80386SX와 similarity. 특히, CR0 레지스터에는 0011H(16진 기수법으로 0011) 상태가 안고있고, 비트 9은 논리 '1'로 되어, 실질적으로 52-비트 메모리 모드에서 376에 동작하도록 한다. 가장 386 독점 특허를 허용하기 위해 페이징(paging)이 안에 포함된다.

본 발명은, CPU(48)가 예를 들어, 셋 탑 장치 시스템 메모리(46)에 저장된 제어 프로그램을 해석하여, 상기 비디오 디스플레이 장치(12)에 의해 시각 이미지와 디스플레이를 제어하기 위해, 프로세싱과 해석소가 가능하게 될 수 있다. 프로그램 제어와 디지털 장치의 설계에 대해 종상의 지시할 가진 지리관, 이러한 제어 프로그램은 해석하는 프로세서는 제어 프로그램을 판독할 수 있으며, 제어 프로그램의 제어에 의해 동작할 수 있으며, 프로그램의 특성자에 의해 설정된 기능을 달성할 수 있게 한다는 점을 당연히 이해할 것이다. 예를 들어, 본 발명의 본질적인 설명에서 이러한 제어 프로그램은, 원격 제어 장치(20)의 커맨드 전송 회로로부터 커맨드 신호를 수신하는 I/O 프로세서(50)와 관련하여 이에 내장된 커맨드 수신 회로로 하여금, 수신된 커맨드 신호로부터 디스플레이 장치상에 디스플레이되는 시각 이미지의 변형을 지시하는 이미지 지시 신호를 추출하도록 할 수 있다. 또한, 제어 프로그램은, 커맨드 수신 회로 및 텔레비전 수신기(10)내의 비디오 수신 회로에 결합되는 비디오 프로세서(39)에서의 커맨드 프로세서 회로로 하여금, 이미지 지시 신호를 수신하고, 사용자에 의한 원격 제어 장치의 조작에 의해 지시되는 바와 같이, 장치(12)상에 디스플레이되는 시각 이미지로 변형시키도록 한다.

제어 프로그램은 설명하는 데 있어서, 본 명세서에 개시된 시스템은 메모리 장치에서 디지털로 인코딩된 데이터를 수신하고, 저장하고, 전송하며, 메모리 장치에 결합된 마이크로프로세서에서, 메모리 장치내에 저장된 디지털로 인코딩된 제어 프로그램을 실행한다. 제어 프로그램은 원격 제어 장치(20)의 조작으로부터 획득되는 시전결정된 이미지 지시 신호에 따라, 사전결정된 방식으로 비디오 신호를 변형하는 마이크로프로세서에 의해 실행될 것이다. 제어 프로그램의 이러한 실행은, 오피레이팅 시스템 프로그램들 실행으로부터 분리된 비디오 디스플레이 장치의 동작 지령으로의 마이크로프로세서 해석소를 제어하는 단계 및/또는 애플리케이션 프로그램들을 실행함으로써 비디오 신호의 변형을 제어하는 단계를 포함한다. 즉, 실행되는 제어는, 차분 비체스의 오피레이팅 시스템 활동 및 액세스된 자원의 애플리케이션 프로그램들의 양쪽 모두에 기초한다.

셋 탑 장치(30)와 관련하여 부가적인 회로(56)가 도 4에 도시되어 있다. 도 4를 참조하면, 부가적인 회로는 RF 변조기(58)와, 오디오 아날로그-디지털 컨버터(51)와-아날로그 컨버터/압축기/압축복합기(ADC/DAC/CODEC)(59)를 포함한다.

비디오 프로세서(39)는 도 5에 대해 설명하는 부분에서 더 상세히 기술된 다수의 가능 변형을 갖는다. 이러한 몇 개의 변형은 비디오 제이거(60)와, 디지털 신호 프로세서(DSP)(61)를 할 일하기로 하자.

RF 변조기(58)는 비디오 프로세서(39)로부터의 복합 비디오 신호와 오디오 ADC/CODEC(59)으로부터의 좌우 오디오 라인 출력 신호를 변조 수직수평으로 합쳐서, RF 비디오에 의해 지시되며, 텔레비전 수신기(10)로 직접 입력되도록 적당히 RF 비디오 신호를 발생시킨다. RF 비디오 신호는, 본 기술 분야에 잘 알려진 바와 같이, 단일 유선 F 동축 커넥터(female Type coaxial connector)에 의해 외부 장치와 접속된다.

오디오 ADC/DAC/CODEC(59)는 잘 알려진 펄스들 및 프로토콜에 따라 직렬 링크에 의해 DSP(61)와 결합된다. ADC/DAC/CODEC(59)는 아날로그 데이터를 디지털 데이터로 변환시키고, 디지털 데이터를 아날로그 데이터로 변환시키며, 디지털 데이터를 압축 및 압축해제시킨다. ADC/DAC/CODEC(59)는 선택에 의한 마이크로프로세서의 외부 스테레오 아날로그 데이터와 비디오 프로세서(39)를 인터페이스시킨다. 오디오 입력은 표준 스테레오 1/4" 커넥터에 의해 외부 장치에 접속된다. 오디오 ADC/DAC/CODEC(59)는 또한 좌우 오디오 라인 출력 신호를 발생시키므로써 비디오 프로세서로부터의 디지털 데이터와 외부 장치의 인터페이스시킨다. 이들 신호는, 본 기술 분야에 잘 알려진 바와 같이, 두 개의 암 RCA 본 잭(jacks)에 의해 선택에 의한 스피커와 같은 외부 장치에 접속된다. 또한, 전송한 바와 같이, 오디오 라인 신호는 RF 비디오 신호에 부가된다.

비평가적인 실시예에서, ADC/DAC/CODEC(59)는 크리스탈 세미컨덕터사(Crystal Semiconductor)에 의해 제조되는 CG4216이다. 이 부분은 프로그램가능한 이득(programmable gains)을 갖는 마이크로본 입력과, 프로그램가능한 필터링 필터(attenuators)를 갖는 출력은 구비한다. 이득 및 감쇠는 모두 DSP(61)에 의해 프로그램될 수 있다.

여와 다른 실시예에서, ADC/DAC/CODEC(59)는 풀업시어에 의해 제조되는 TDA1311 DAC로 대체될 수 있다. 이러한 사용될 경우, ADC 및 CODEC 기능은 사용 가능하지 않을 것이다.

도 3 내지 도 5를 참조하면, 비디오 프로세서(39) 전자 장치는 주로 ASIC(응용 주문형 집적 회로)으로 알려

진 하나의 대형 커스텀 로직 칩(massive custom logic chip)내에 포함된다. 도 5에 도시된 바와 같이, 비디오 프로세서는 프로세서 인터페이스(62), 프로세서 캐시(64), 메모리 인터페이스/라프래시(66), 비디오 제이(60), 인터레이트 제이(70), 비디오 클러터(72), CD 드라이버 제이(74), 디지털 신호 프로세서(DSP)(81), DSP 메모리(83), 각 채널의 VBI 디코더(80, 81), 다중-표준화 디코더(82), 스케일링(83), 동기 추종 회로(84), 검색 및 타이밍 장치(85), 다중-표준 안코더(86), 복합 비디오 필드블록쳐(88)를 구비한다. 프로세서 인터페이스(62), 메모리 인터페이스/라프래시(66)(DRAM 제이(6)), 비디오 제이(60)는 통합되어 비디오/메모리 제이(78)로 통합된다. 시스템 메모리(45), 중앙 프로세서 유닛(48), 및 각 블록의 다른 장치는 비디오 프로세서(39)의 외부에 배치된다.

SYSTEM 버스는 여러 가지 장치들 시스템 메모리(45)에 전기적으로 접속시킨다. 6 개의 가능한 버스 마스터가 SYSTEM 버스를 공유하며, 이들은 (각각 높은 우선순위에 낮은 우선순위) 메모리 라프래시(66), 비디오 제이(60), CD 드라이버 제이(74), DSP(81), 클러터(72), (프로세서 인터페이스(62)를 통한 CPU(48))의 6 개이다. 한때에, 버스 마스터들 하나만이 SYSTEM 버스의 비디오 프로세서(39)와 시스템 메모리(45) 사이의 DATA 버스, ADDRESS 버스, CONTROL 버스를 제어할 수 있다.

본 기술 분야에 잘 알려진 바와 같이, 비디오/메모리 제이(78)는 SYSTEM 버스를 제어하며, SYSTEM 버스에 접속된 메모리 장치에 메모리 타이밍 신호(클럭들인, CAS, RAS, 기적 연애폰 등)를 제공한다. 전술한 바와 같이, 비디오/메모리 제이(78)는 또한 메모리 사이클을 요구하며(비디오 메모리 사이클을 시스템 RAM으로부터 비디오 데이터들 판독하는 데 필요하며, 비디오는 이 프로세서에 의해 실시간으로 발생되기 때문에, 비디오 속속은 비디오 데이터가 요구될 때 메모리 액세스를 가져와 한다), 상정적으로 SYSTEM 버스 상에서 가장 높은 우선순위를 갖는다. 비디오/메모리 제이(78)는 영의 비디오 디스플레이 데이터들 인출(fetch)하고, 데이터와 RAM(DRAM)을 라프래시하기 위해 짧은 주기 동안의 비디오 라면 중인 버스 마스터 통치를 중지시킨다. 비디오/메모리 제이(78)는 또한 CPU(40)와 인터페이스를 제공한다.

비디오 프로세서(39)는 멀티플렉서(31)로부터 두 개개의지의 아닐로그 아닐로그 비디오 신호(FULL SCREEN 및 PIP)를 수신한다. FULL SCREEN 이미지는 아닐로그 복합 비디오로서 유지되고, 풀 스크린 이미지로서 프로세싱되며, PIP 아닐로그 복합 비디오 신호는 풀 스크린 이미지로서 비디오 프로세서(39)에 입력되고, 프로세싱되며, 이후에 의해 픽처 인 픽처(picture in picture) 이미지로서 풀 스크린에 중첩된다. 비디오 프로세서(39)는 또한 비디오에 의해 발생한 그래픽들 비디오상으로 중첩시키며, 복합 신호를 디스플레이 장치(12)로 출력시킨다.

비디오 프로세서(39)는 또한 CD 드라이버(54)로부터 CD 데이터 스트림을 수신할 수 있으며, CD 데이터 스트림은 디코딩되며, DRAM(45)내에 배치된다. CD 데이터는 MPEG으로 인코딩된 영화, 포맷 CD, 데이터 CD, 오디오 또는 프로그램 데이터일 수 있다. DSP(81)는 1200 baud(1200 baud) 전송 또는 2400 부 수신 FAX 모뎀을 구현할 수 있다. 콤플렉터(72)는 DRAM(45)의 일부로부터 다른 부분으로의 비디오 스프라이트(sprite)의 신속한 전송을 지원하며, 이를 통해 사용자 인터페이스 및 애플리케이션의 외형(appearance)을 향상시키고 CD 제이(54)으로부터 데이터 이동을 보조한다. DRAM 버스 액세스에는 그래픽 및 라면 비디오 액세스에 과도하게 로딩되기 때문에, 캐시 제이(64)는 호스트 마이크로프로세서(48)에 대한 시스템 성능을 향상시킨다.

동기 추종 회로(84)는 멀티플렉서(31)로부터 FULL SCREEN 복합 비디오 입력 신호를 수신하고, FULL SCREEN 복합 비디오 입력으로부터 크로마 부반송파를 언리더나 수직(HSYNC) 및 수직(VSYNC) 동기 신호를 추출하며, 라인(89)을 통해 입력 회로(85)로 HSYNC 신호, VSYNC 신호, 크로마 부반송파를 제공한다. 또한, 동기 추종 회로(84)는 라인(87)을 통해 원래의 FULL SCREEN 복합 비디오 입력을 필드블록쳐(88)로 인가한다. 비디오 프로세서(39)로 입력되는 FULL SCREEN 복합 비디오상에 신호가 존재하지 않을 경우, 동기 및 고정된 라인(87)에 불 일치, 파란색 스크린은 크라쉬할 기만할 로컬 오실레이터 및 입력 회로(85)내의 타이밍 회로에 의해 지동적으로 발생된다.

검색 및 타이밍 회로(85)는 {이하 기술되는 바와 같은} 수평 및 수직 동기들 사용하며, PIP에 대한 필라 기준이 풀 스크린 이미지와 동일하도록 인코더(86)에 크로마 부반송파를 전달한다. 검색 및 타이밍 발생기(85)는 풀 스크린 수평 동기대 위상 동기(phase synchronous)인 비디오 제이(60)에 대한 도트(dot) 클럭을 생성한다. 이는 {동기 추종 회로(84)에 의해} 풀 스크린 비디오 신호로부터 추출되는 15.734 khz 수평 동기들 위상 동기 동기(phase lock loop)와 동기 압력으로 동기화되며 발생된다. 위상 동기 부반송파의 배교가 입력은 3195로 분할되는 {검색(85)내의} 전압 제어 발진기(VCO)의 출력에 된다. VCO의 출력은 또한 크로마 부반송파(3.579545 Mhz)의 주파수의 14배인 비디오 제이(60)에 대한 도트클럭을 형성한다. 비디오 제이(60)에 대한 수직 동기들은 비디오 제이의 수직 라인 카운터를 재설정함으로써 소프트웨어 제이에 설정된다.

제 1 및 제 2 수직 분할 기간(vertical blanking interval, VBI) 디코더(80, 81)는 NTSC 표준클럭의 10 라인 제 1 라인의 1 및 2 필드상의 수직 귀선 소거 기간으로부터 전자 프로그램 안내 데이터, 채널 번호인 스 캐이팅(channel violence ratings), 잔여 시간, 원자 잠재자를 위한 클로즈 캡션(close captioning) 및 각 블록의 디지털 데이터들 추출한다. 이 데이터는 개별적으로 또는 동시에, 마이크로프로세서(48)의 제이에 의해 제 1 VBI 디코더(80)에 의해 FULL SCREEN 복합 비디오 입력으로부터 추출되거나, 제 2 VBI 디코더(81)에 의해 PIP 복합 비디오 입력으로부터 추출될 수 있다. 디지털 데이터는 시스템의 외부 라면 시스템 제어하여, 생성되고, 디코딩되며, 비디오 및 그래픽 공유 DRAM(45)에 저장된다. 클로즈 캡션 디스플레이에 대한 표준은 서양어이며, 시스템은 키 유도에 대해 채널의 클로즈 캡션 텍스트를 스케일링하며, 관심있는 항목에 불 관련 경우 사용자에게 알려주거나 프로그램들 가작하기 위해 VBI 디코더(80, 81) 중 하나 또는 둘다를 사용할도록 구성될 수 있다.

다중-표준(NTSC/PAL)("PAL"은 잘 알려진 유럽 텔레비전 신호 표준을 일컫는다) 비디오 디코더(82)는, 비디오 디코더(82)에서 25-30khz 샘플링 A/D 디코더를 통해 처음에 디지털화된 다음 YUV 컬러 공간로 변환된 경우, PIP 복합 비디오 입력을 수신한다. 디코더(82)는 각 블록에 대한 컬러 차분 차 신호를 추출하며, 이들을 1/4(Quarter) CIF(1/16x1/4)해상도를 갖는범위 값으로 변화시킨다. 제한된 해상도로 인해 프레임(frame) 지령에 요구되는 메모리는 감소하지만, 사용자에 의해 요구되는 최소한의 신호를 제공한다.

스케일링(83)은 디코더(82)에 의해 출력되는 디지털 비디오 신호를 수신하고, PIP 비디오 신호의 사이즈를 풀 스크린 사이즈 내지 1/9로 감소시키며, 이 감소된 디지털 비디오 신호를 비디오/메모리 제이(78)를 통해 비디오 버스에 비디오, 그래픽 공유 DRAM(45)으로 전송한다.

{이하 상세히 설명됨} DRAM 제이(66)는 표준 DRAM을 지원하는 데 필요한 디코딩 신호, 인터페이스 신호, 라프래시 신호를 제공한다. DRAM 제이(66)는 또한 비디오 프로세서(39) 기능들 DRAM 액세스에 대한 요구를



중재한다. 비디오 제이거(60)는 가장 높은 우선순위를 가지며, 스케일러(83)는 두 번째 우선순위를 갖는다.

비디오 제이거(60)는, 다중-표준 복합 비디오 연코더(86)로의 출력률 유체 DRAM(45)으로부터 그래픽 및 PIP 이미지들 래스터라이징(rasterizing)한다. 즉, 비디오 제이거(60)는 DRAM(45)에서 이미지의 디지털 표현(digital representation)을 얻으며, 한편에 하나의 픽셀의 이미지를 연코더(86)로 패인팅(painting)한다. 비디오 제이거(60)는 정색선 시간에 픽셀을 연코더(86)로 패인팅하면서, PIP 이미지가 적정한 순서에 할 스크린상에 중첩되게 한다. 비디오 제이거(60)는 인터페이스(interface)형 혹은 비-인터페이스형으로 픽셀당 16비트 또는 640×480이상의 해상도를 지원한다. 이때 제이거(66) 및 비디오 제이거(60)는 비디오/메모리 제이거(76)에 대한 하차의 설정에서 더 상세히 설명할 것이다.

다중-표준 연코더(86)는 비디오 제이거(60)로부터 레드, 그린, 블루(RGB) 정보들 수신하고, 각각 및 타이밍 신호(85)로부터 동기 정보(HSYNC, VSYNC, 코로마비반송파) 및 타이밍을 알릴 정보(A1A2)를 출력하고, 그 후 출력기 위해 PIP 복합 비디오 데이터로 변환시킨다. 다중-표준 연코더(86)는 비디오 디지털-아날로그 변환기(87)로 출력(DAC) 및 NTSC/PAL 연코더를 포함한다. 비디오 프로세서(39)의 비디오 제이거(60)는 비디오 DAC에 접속되며, 이 비디오 DAC는 비디오 제이거(60)로부터의 18 비트의 픽셀 정보(레드, 그린, 블루의 각 6 비트)를 24비트 222로 변환하여 잘 알려진 RGB 신호로 변환시킨다. 비디오 DAC의 각 컬러 채널(R, G, B)은 R2R 저항 트리 및 2R222로 이루어진 회로로 구현된다. RGB 신호는 NTSC/PAL 연코더에 의해 적절히 변환된다. 연코더는 선택(85)으로부터 클럭이 부반송파, HSYNC, VSYNC를 수신하며, 비디오 제이거(60)의 RGB 출력으로부터 NTSC 복합 비디오 신호를 발생한다. 이와 달리, 잘 알려진 PAL(유럽 텔레비전 신호 표준) 포맷이 발생될 수 있다. 비디오(86)로부터의 적절히 비디오 신호는 합성복색서(88)로 공급된다. PIP 및 그래픽 이미지의 각각의 일관성을 보장하기 위해, 연코더(86)에 대한 크로마 부반송파는 연속선 버퍼 값에 풀 스크린 이미지로부터 추출된다. 배열링과 일치에서, NTSC/PAL 연코더(86)는 모노콜러서에 의해 제조되는 MC1377이다.

DSP(61)는 통합 회로를 위한 간단하고 고속적인 프로세서이며, 최고 3전환 연산트릭스(instructions)조(MiPs)으로 동작한다. DSP(61)는, 바이트 또는 워드를 시스템 메모리(45)로부터/로 판독/기록할 수 있게 해주는 DSP DMA 제이거(도시되지 않음)를 통해 SYSTEM\* 버스로 액세스한다. 이들 전송은 짧은 버스트들로 발생되며 DSP 프로그램 제어에 실행된다. DSP(61)는 실행적으로 프로그램을 실행하며, 자신의 전용(private)고 속 마이크로(76)에 데이터들 저장된다.

CD 제이거(54)의 출력들 디스크 및 판독 DMA 채널은, 시스템으로 하여금 일종의 소프트웨어 오버헤드가 없이 CD 판독 데이터들 사용자 메모리(45)로 전송하게 한다. 이는 데이터들 직접 전송할 수 있으며, 이는 또한 CD 블록 디스크를 포함한다.

인터럽트 제이거(70)는 6 개의 내부 인터럽트들 CPU(48)와 인터럽트에서하며, 6 개의 내부 인터럽트들 비디오 인터럽트(가장 높은 우선순위), 아날로그 인터럽트(A1A2), 아날로그 인터럽트(A1A2) 인터럽트, 인터럽트 3(A13), CD 블록 디스크 인터럽트, DSP 인터럽트(가장 낮은 우선순위)이다. 인터럽트 제이거(70)는 인터럽트 순서 사이클(interrupt acknowledge cycle)을 수행할 때, 인터럽트들 출력한다. 각 인터럽트들에 대해 마스크 브레이크 가능가능하다.

플러터(72)는 고속 스캔링 결선 및 메타메이션을 위한 그래픽 프로세서이며, CPU(48) 또는 DSP(61)에 대한 하드웨어 그래픽 서브루틴으로 작동한다. 이는 플러터 프로그램들 통해 버스 마스터가 될 것이며, 데이터 상단된 주기들인 SYSTEM\* 버스를 소유할 수 있다. 그러나, CPU(48)에 대한 우선순위는 절대적이지 않으며, 인터럽트가 발생될 때, CPU(48)에 대해 SYSTEM\* 버스를 포기하도록 요구할 수 있다. CPU(48)는 시스템 레벨에서 가장 낮은 우선순위를 갖는 버스 마스터이나, 다른 하드웨어에 대해 반복적인 제어를 가지며, 따라서, SYSTEM 버스의 사용은 거의 CPU(48) 프로그램 제어하에 있게 된다.

비디오 프로세서(39)는 여러개의 주요 블록을 갖는데, 즉 비디오/메모리 제이거(78), 동기 추종 장치(84), 렌칠 및 타이밍 장치(85), 광택된 디스크 제이거(54), 플러터 그래픽 코프로세서(72), DSP 오디오 코프로세서(61)를 갖는다. CPU(48)의 어드레스 공간은 비디오 프로세서(39)내의 다수의 8-비트 레지스터로 디코딩된다. 모든 내부 레지스터들은 짝수 어드레스 경계선에 있으며, 워드-폭 단위의(word-wide) I/O 판독 및 쓰기를 적절한 곳에서 수행할 수 있다. 이 특정 회로에서, 바이트-폭 단위의(byte-wide) 기록은 모든 레지스터 상에서 수행되지 않을 수 있으며, I/O 사이클은 짝수 어드레스를 액세스하는데 사용되지 않을 수 있다.

정확한 레지스터와에도, 비디오 프로세서(39)는 SYSTEM\* 버스로부터 3 개의 어논의 방출 I/O 디스크 라인(GP101, GP102, GP103)을 발생시키며, 각각은 32-비트 I/O 어드레스 범위를 제공한다. 방출 I/O 디스크는 비디오 프로세서(39)의 외부 장치로 3개의 액티브-로우인 칩 연이어들을 제공하는데 사용될 수 있다.

비디오/메모리 제이거(78)는 몇 가지의 기능을 수행하는데, 즉 비디오 타이밍, 인터럽트 제어, 비디오 디스클레이 발생, 메모리 구성, 리프레이 및 타이밍(수직의 3 가지 기능은 DRAM 제이거(66)에 의해 수행된다)를 수행한다.

비디오/메모리 제이거(78)는 성미한 TV 표준 및 모니터를 취급 640×480 VGA 표준에 및도록 프로그램할 수 있는 플렉시블(flexible) 비디오 타이밍 발생기를 갖는다. (비디오 프로세서(39)가 메모리로부터 데이터를 출력할 때) 동기화 광소, 블랭킹(blanking), 디스클레이 영역 및 플렉시블 비디오의 위치는 수직 치형의 클럭 사이클과, 수직 방향의 라인 수로 프로그램될 된다. 비디오 타이밍은 2 개의 부분으로 나누어진다. 수평 타이밍에 출력 사이클에 의해 정의되며, 다수의 1-비트 레지스터에 의해 결정된다. 수직 타이밍은 디스클레이 라인에 의해 정의되며, 다수의 10-비트 레지스터에 의해 결정된다.

수평 동기, 수평 동기, 수평 블랭킹 종료, 수평 블랭킹 개시, 수평 디스클레이 개시, 수평 디스클레이 종료, 수평 안출 개시, 수평 안출 종료, 수평 수직 동기, 수평 수직 동기, 수평 수직 레지스터가 개시, 수평 수직 레지스터가 종료되는 것은 출력 타이밍에서 수평 라인 길이를 결정한다. 하나의 회로에서, 라인 길이는 수평 동기 레지스터에 기록된 수보다 하나만큼 큰 것이다. 요구된 수에 대한 공식은 다음과 같다: 수평 동기(라인 길이-수평 동기)÷수평 동기-1.

수평 동기 레지스터에 기록되는 것은 수평 동기 펄스여 폭을 결정한다. 광학 사이클에서와 같이 수평 동기는 폭은 수평 동기 레지스터와 수평 동기 레지스터간의 차이에 의해 주어진다. 요구된 수에 대한 공식은 다음과 같다: 수평 동기(라인 길이-수평 동기)÷수평 동기-1. 수평 블랭킹 종료 레지스터는 수평 블랭킹에 종속하는 시기를 결정하며, 광학 사이클에서 백 포지(back porch)의 폭이다. 수평 블랭킹 개시 레지스터는 수평 블랭킹이 개시되는 것을 결정한다. 요구된 수에 대한 공식은 다음과 같다: 수평 블랭킹 개시-수평 동기-1(수평 동기-수평 동기)÷수평 동기-1.

등기 폭+프론트 포지 폭)×클럭 주파수).

수평 디스플레이 개시 레지스터는, 클럭 사이클에서 수평 등기의 트레일링(trailing) 에지 후에 얼마나 빨리 비디오가 발생되는지를 명시한다. 수평 디스플레이 개시 레지스터가 수평 블랭킹 종료 레지스터보다 클 경우, 비디오/메모리 제어기(78)는 중간 경계(border) 감리를 총괄한다. 이 레지스터에 기록된 값은 통상적으로, 한 쌍에 일련적인 스캔의 중앙에 놓이도록 선택되어야 한다. 이를 행하기 위한 레지스터 수에 대한 공식은 다음과 같다. 즉, 수평 디스플레이 개시=(수평 블랭킹 종료+수평 블랭킹 개시-물성 디스플레이 폭×클럭 주파수)/2.

수평 디스플레이 종료 레지스터는 디스플레이가 종료되는 곳을 명시하며, 이에 따라 픽셀 단위로 비디오 디스플레이의 폭이 결정된다. 이는 이하의 수로 프로그래밍되어야 한다. 즉, 수평 디스플레이 종료=수평 디스플레이 개시+픽셀의 수×픽셀당 클럭. 수평 블랭킹 개시가 수평 디스플레이 종료보다 클 경우, 영상의 끝은 블랭킹이 개시될 때까지 총괄될 것이다.

수평 인쇄 개시 레지스터는 비디오 인쇄에 처음에 라인 상의 어디에서 개시되는지를 판단한다. 이는 디스플레이 개시 개시율 때, 16 비트의 픽셀 비가 총괄되도록 프로그래밍되어야 한다. 실제로, 이것은 수평 인쇄 개시 레지스터의 값이 디스플레이 모드에 따른 상수만큼 수평 디스플레이 개시값보다 작도록 제동될 것을 의미한다. 이하의 테이블은 픽셀 당 비트 및 픽셀 당 클럭의 여러 가지 조합을 위한 상수를 나타낸다. 예를 들면, 픽셀당 4 비트 및 픽셀당 5 클럭일 경우, 상수는 160이 된다. 마찬가지로, 픽셀당 4 비트 및 픽셀 당 1 클럭일 경우, 상수는 32가 된다. 픽셀당 16 비트 및 픽셀 당 1 클럭이 존재할 경우, 적용할 수 있는 상수가 없음을 유추해야 한다.

### 픽셀 당 클럭

		5	4	3	2	1
픽셀 당 비트	4	160	128	96	64	32
	8	80	64	48	32	16
	16	40	32	24	16	n/a

수평 인쇄 종료 레지스터는 비디오 인쇄에 라인 상의 어디에서 종료되는지를 판단한다. 원칙적으로, 이는 수평 디스플레이 종료가 종료 레지스터와 같은 상수만큼 행 것이다. 그러나, 수평 인쇄 개시는 수평 인쇄 종료 레지스터에서 수평 인쇄 개시 레지스터를 행 값이 전술한 상수의 배수(multiple)가 되도록, 반올림(round up)되어야 한다.

수평 수직 등기는 다수의 라인상에서 발생하는 외에도 동기 펄스로식 선택된다. 이들 펄스의 폭은 다음과 같이 프로그래밍되는 수평 수직 동기 레지스터에 의해 결정된다. 즉, 수평 수직 동기=수평 동기-(수직 동기 폭×클럭 주파수).

비디오/메모리 제어기(78)는 또한 다수의 수직 레지스터를 갖는데, 즉 수직 동기 레지스터, 수직 동기 레지스터, 수직 블랭킹 종료 레지스터, 수직 블랭킹 개시 레지스터, 수직 디스플레이 개시 레지스터, 수직 디스플레이 종료 레지스터, 비디오 인터럽트 레지스터, 라이트 펜(light pen) 레지스터를 갖는다. 수직 동기 레지스터는 필드당 비디오 라인에 수를 명시한다. 수직 동기 레지스터는 수직 동기가 발생하는 라인의 수를 결정한다. 이는 다음과 같이 프로그래밍되어야 한다. 즉, 수직 동기=수직 동기+수직 등기의 라인의 수.

수직 블랭킹 종료 레지스터는 수직 동기 후에 얼마나 많은 라인이 블랭킹되는지를 결정한다. 수직 블랭킹 개시 레지스터는 수직 동기 전에 얼마나 많은 라인이 블랭킹되는 지를 결정한다. 이는 다음과 같이 프로그래밍되어야 한다. 즉, 수직 블랭킹 개시=수직 동기-수직 동기 이전의 블랭킹의 수.

수직 디스플레이 개시 레지스터는 활성 비디오의 첫 번째 라인을 결정한다. 이 레지스터가 수직 블랭킹 종료 레지스터보다 클 경우, 라인과 라인 사이는 경계 컬러(border color)를 나타낸다. 스캔의 종료가 활성 영역 위치지정하기 위해, 이 레지스터는 다음과 같이 프로그래밍되어야 한다. 즉, 수직 디스플레이 개시=(수직 블랭킹 종료+수직 블랭킹 개시-물성 라인의 수)/2. 수직 디스플레이 종료 레지스터는 활성 비디오의 마지막 라인을 결정한다. 이 레지스터가 수직 블랭킹 개시 레지스터 미만일 경우, 라인과 라인 사이는 경계 컬러를 나타낼 것이다. 스캔의 중앙에서 활성 영역을 위치지정하기 위해, 이 레지스터는 다음과 같이 프로그래밍되어야 한다. 즉, 수직 디스플레이 종료=(수직 블랭킹 종료+수직 블랭킹 개시+물성 라인의 수)/2.

비디오 인터럽트 레지스터는 비디오 인터럽트가 발생한 비디오 라인을 결정한다. 이 인터럽트는 1NT 레지스터를 통해 인에이블되거나 디스에이블될 수 있다. 비디오 메모리 블록에 라인의 종에서 정지될 때, 인터럽트가 발생할. 이는 디스플레이 모드를 변경시키거나, 빔(beam) 동기 예니메이션을 수행하기 위해 프로세서에 의해 사용될 수 있다. 이 레지스터는 각각의 블록에 대해 여러번의 인터럽트를 재창하기 위해 소량의 펄드 내에서 재프로그래밍될 수 있다.

이하의 표 1은 도서인 여러 가지 디스플레이 포맷에 대해 전송한 레지스터의 전행각 값을 제공한다. 레지스터에 이하의 값을 로드한 후, 비디오 타이밍 발생기는 레지스터 MODE2에 VIDEO 비트를 세팅시키므로 인쇄에 이용된다.

[표 1]

	50 Hz PAL	60 Hz NTSC	VGA
	320×256, 8-비트	320×220 8-비트	640×480 8-비트
음력 주파수	22.17 MHz	21.48 MHz	25.17MHz
수평 주기	1418	1363	790
수평 동기	1314	1262	703
수평 불행킹 종료	126	103	43
수평 클럭킹 개시	1271	1232	688
수평 디스플레이 개시	378	348	48
수평 디스플레이 종료	1018	988	688
수평 폐지 개시	346	316	32
수평 폐지 종료	986	956	672
수평 수직 동기	103	89	0
수직 주기	312	262	525
수직 불행킹 종료	309	259	524
수직 불행킹 개시	20	15	34
수직 클럭킹 개시	307	257	514
수직 디스플레이 개시	35	26	34
수직 디스플레이 종료	291	246	514

비디오/픽처가 제이기(79)는 이용가능한 3 가지 컬러 해상도를 갖는데, 즉 픽셀당 4 비트, 픽셀당 8 비트, 픽셀 당 16 비트의 해상도를 갖는다. 4 및 8 비트 모드에서, 픽셀은 팔레트(palette)에 저장된 16-비트 물리적 컬러를 인덱싱하는 논리적 컬러이다. 16-비트 모드에서, 픽셀은 0 비트에서 4 비트까지는 블루와, 5 비트에서 10 비트까지는 그린이며, 11 비트에서 15 비트까지는 레드인 물리적 컬러이다. 6 비트의 그린은 존재하나, 블루 및 레드에는 5 비트만이 존재하기 때문에, 합으로부터 출력된 블루 및 레드의 최하위 비트(least significant bit)는 16-비트 모드에서 항상 논리 ZERO이다. 경제 컬러는 16-비트 픽셀로 디스플레이되는 16-비트 레지스터이다.

8-비트 모드에서, 픽셀은 전체 256×16 팔레트를 어드레싱한다. 4-비트 모드에서, 픽셀은 팔레트로부터 16 엔트리를 어드레싱하며, 이 경우 어드레스의 상위 4 비트는 인덱스 레지스터로부터 공급된다.

8-비트 모드에서 2 개의 변형이 이용가능하다. 컬러 홀드 모드(color hold mode)에서, 픽셀이 세로 값을 취할 경우, 이전 픽셀의 컬러가 디스플레이된다. 이는 가장 좌측 픽셀을 단순히 세팅시키므로 컬러의 대부분이 영역을 채우는데 사용될 수 있다.

가변 해상도 모드(variable resolution mode)에서, 최상위 픽셀은, 픽셀이 하나의 7-비트 픽셀 또는 두 개의 3-비트 픽셀로서 디스플레이될지를 결정한다. 비트가 홀리어진 경우, 픽셀은 하나의 7-비트 픽셀로 디스플레이되며, 비트가 세트된 경우, 비트 0에서 2가 먼저 디스플레이되고 비트 4에서 6이 다음으로 디스플레이된다. 이와 같은 경우, 두 개의 고해상도 픽셀은 팔레트로부터 8 엔트리를 어드레싱한다. 어드레스의 상위 5 비트는 인덱스 레지스터로부터 공급된다. 가변 해상도 모드는, 저해상도 가운데 작은 영역과 고해상도 픽셀을 디스플레이하는데 유용하지만, 좀 더 화려한 배경을 갖는다. 이 모드는 픽셀당 하나의 물리적 해상도에서 사용이 불가능하다.

8-비트 모드에서, 임의의 비트는 화상될 수 있으며, 다른 목적으로 사용될 수 있다. 예를 들면, 비트는 종동 검출을 위해 핫 스팟(hot spot)을 식별하는 데 사용될 수 있다. 이와 달리, 비트는 이미지 '깊이(depth)'를 인코딩하는데 사용될 수 있어서, 하나의 이미지는 다른 이미지의 앞쪽 또는 뒤쪽으로 이동될 수 있다. 비트를 화상시키기 위해, 마스킹된 레지스터에서의 동일 비트는 세트되며, 그 비트는 인덱스 레지스터에서의 대응 비트로 대체될 것이다.

제 1 클럭, 제 2 클럭, 제 3 클럭, 제 4 클럭, 제 5 클럭의 5 개의 픽셀 폭이 있다. 이들은 24MHz, 12MHz, 및 6MHz 정도의 도트 클럭에 대응한다. 가장 높은 도트 클럭은 픽셀당 16 비트 디스플레이 모드에서, 사용되지 않을 수 있다. 32-비트 DRAM이 채용될 경우, 두 개의 다른 조합, 즉 하나의 물리적 8-비트 및 두 개의 물리적 16-비트만이 사용될 수 있다. 별개의 상세한 설명에서 이후 기술되는 바와 같이, 외부 하드웨어가 채용될 경우, 비디오 프로세서(39)는 외부 비디오 소스로 클럭 할 수 있으며, 로컬 비디오로 각각의 픽셀 단위로 외부 비디오와 혼합할 수 있다(그 위에 입할 수 있다). 이는, 이와 상세히 설명되는 바와 같이, 본 발명에 따라

발생률 소정의 디스플레이에 대해 중요하다.

스크린의 메모리 맵은 비디오 디스플레이 쪽에 의해 제한되지 않으며, 독립적으로 정의된다. 스크린의 메인스 어드레스는 시스템 메모리(45)의 영역의 장소일 수 있다. 스크린 메모리의 폭은 2의 급수(power)로서 128에서 2048 바이트까지이다. 스크린의 높이는 2의 급수로서 32 라인 바이트에서 2 행이 바이트까지이다. 동일 라 인상의 비디오 어드레스는 더 작은 경계내에 랩핑(wrapping)된다. 이 구성은 스크린으로 하여금 더 큰 가상 스크린내에 배치되게 하며, 이 안에서 패닝(panning)되며, 스크롤링(scrolling)되게 한다.

여러 가지 레지스터는 전용한 비디오 모드를 제공한다.

비디오 모드 레지스터는 전용한 특성을 제공한다. 비트 0 및 1은 픽셀당 비트의 수를 결정한다. 비트 2 및 3 은 공격 사이클에서의 픽셀 폭을 결정한다. 비트 4 내지 6은 비디오 어드레스에서 첫 번째 브레이크(break)를 결정하며, 이에 의해, 바이트 단위로 디스플레이를 결정하게 된다. 비트 7 내지 9는 비디오 어드레스에서 두 번째 브레이크를 결정하며, 이에 의해 바이트 단위로 디스플레이 높이를 결정하게 된다. 비트 10은 동기 출 령을 위해 비디오 소스로 안착하게 로킹(locking)하기 위해 수평 및 수직 타이머를 라셋시킬 수 있는 임박을 변환시킨다. 비트 11은 외부 비디오 입력을 출력측에서 사용하여 외부 비디오 소스를 중첩시키는 임박하 (encustation)를 제공한다. 멀티플렉서 A/N/CD 제이거/코르세처의 "1HC" 핀에 의해 제어된다. 선택된 칼 리 비트는 임박기를 제어하는데 사용된다. 비트 12는 비트 11과 동일하나 강제 칼라에만 적용되는 강제 임박기 를 제어한다. 비트 13은 기본 해상도 모드를 선택시킨다. 비트 14는 칼리 홀드 모드를 선택시키며, 여기서, 칼리 0은 현재의 스캔 라인에서 이전의 논-제로(non-zero) 칼라로 대체된다. 비트 15는 이하의 표 2에서 도 서되는 배와 같이, 비트 2, 3, 15에 기초한 3 및 4의 픽셀 클럭 폭을 연이어놓는다.

[표 2]

비트 2	비트 3	비트 15	픽셀 클럭
0	0	0	4 클럭 사이클/픽셀
1	0	1	2 클럭 사이클/픽셀
0	1	0	1 클럭 사이클/픽셀
1	1	0	정의되지 않음
0	0	1	3 클럭 사이클/픽셀
1	0	1	5 클럭 사이클/픽셀
0	1	1	정의되지 않음
1	1	1	정의되지 않음

비디오/메모리 제이거(78)는 또한 픽셀 마스트 레지스터 및 팔레트 연덱스 레지스터를 갖는다. 마스틱 레지스 터에서 세로방향 모든 비트에 대해, 픽셀에서의 대응 비트는 인덱스 레지스터로부터의 비트로 대체된다. 인덱스 레지스터에서의 상위 비트는 4-비트 픽셀에 대한 팔레트 어드레스의 상위 부분을 형성한다. 강제 칼라 레지스 터는 강제 칼라를 정의하는 16-비트 레지스터이다. 이 칼라는 16-비트 픽셀과 동일한 방식으로 디스플레이되는 데, 즉 비트 0에서 4까지는 블루, 비트 5에서 10까지는 그린, 비트 11에서 15까지는 레드이다.

비디오/메모리 제이거(78)는 또한 시스템 메모리(45)에서 스크린의 24-비트 메인스 어드레스를 정의하는 두 개의 스크린 어드레스 레지스터를 갖는다. 이는 스크린상에서 가장 좌측 최상이 픽셀의 어드레스이다.

비디오/메모리 제이거(78)는 또한 비디오 및 여러 가지 네스티드 종착에 대한 부가적인 제어를 하는 보조 비디오 모드 레지스터 M002를 갖는다. 비트 0은 리터트-오프 레지스터를 연이어놓아서, 수평 및 수직 커운터가 픽클 되게 한다. 비트 2는 비디오 타이머를 연이어놓으시고, 비트 3 및 4는 리프래시 주파수를 결정하는데, 하나의 클럭/128의 리프래시 주파수를 가라키고, 두 번째는 클럭/256의 리프래시 주파수를 가라키며, 세 번째는 클럭 /512의 리프래시 주파수를 가라킨다. 대부분의 DRAM은 64 KHz 또는 그 이상의 리프래시 주파수를 필요로 한 다. 리프래시 제이거는 8 또는 그 이상의 리프래시 사이클이 요구될 때까지 기다리고, 그 후 SYSTEM 버스를 요구하며, RAS 사이클 전에 필요한 수 만큼의 CAS를 생성한다. 비트 6이 세팅될 때, 비디오 모드는 이중(double) 버퍼링되며, 병렬경로인 버퍼링 수 있다. CPU(48)는, 스크린 분할 동작(split screen operation)에서의 모드 변화를 클린(clean)시키기 위해 이 비트를 선택시킨다. 비트 7은 수직 동기화 국성을 인버팅시킨다. 비트 8은 수평 동기화 국성을 인버팅시키며, 비트 9는 사용되지 않는다.

팔레트는 F1000H/F103FH에서 256x18 비트 RAM 블록이다. 각 엔트리는 각각 그린, 레드, 그린 및 블루 6 비트를 포함한다. 각 엔트리는 2 워드를 넘어 확장된다. 블루 및 그린 비트는 상위 워드에서 나타난다. 레 드 비트는 하위 워드에서 나타난다. 상위 워드의 비트 2 내지 7은 블루이고, 상위 워드의 비트 10 내지 15는 그린이며, 하위 워드의 비트 2 내지 7은 레드이다. 팔레트에서 엔트리에 기록하기 위해, CPU(48)는 하위 워드 에 레드 비트를 먼저 기록하며, 그 후 그린 및 블루 비트를 상위 워드에 기록해야 한다. CPU(48)는 강제 도는 팔레트 동안 팔레트를 기록해야만 하며, 그렇지 않으면 변경이 비디오 상에 나타나게 할 것이다.

제이거 제이거(64)는 시스템 성능을 향상시키기 위해 마이크로프로세서(48)에 대한 커맨드 및 데이터들 유지한다. 라이트 모드(write back)를 구비한 1K 바이트 커맨드 및 2K 데이터 캐시가 지음된다.

비디오/메모리 제이거(78)는 6 개의 인터럽트 소스를 지원하는데, 즉 비디오 입력 인터럽트, 3 개의 어날로그 인터럽트, CD 블록 디스크 인터럽트, DSP(61) 인터럽트를 지원한다. 어날로그 인터럽트는 단순한 어날로그 디

지랄 컨버터가 구현되도록 한다. 단안정 바이브레이터(monostable vibrator)는 다이어오드, 캐패시터, 포텐시오미터(potentiometer)로부터 구현된다. 캐패시터는 수직 동기화 역에 병렬되며, 포텐시오미터 셋팅에 따른 비율로 충전되기 시작한다. 캐패시터상의 전압이 바디로 프로세서(39)로 입력에 임계값에 도달할 때 인터럽트가 발생한다. 그 후 프로세서는 임의의 발진 캐패시터가 충전되었는지를 측정하여 이후 수직 동기화 빈도 값을 수 있도록 하며, 다시 로판시오미터가 재설정된다.

비디오/메모리 제어기(78)는 또한 8 개의 인터럽트 모두가 독립적으로 인에이블되거나 디스에이블되는 것을 허용하는 인에이블 인에이블 레지스터를 갖는다. 논제 "1"을 레지스터의 인에이블 비트에 각 비트에 할당함으로써, 대응 인터럽트가 클러키된다. 인터럽트 만드 레지스터는 모든 계속중인 인터럽트들을 반영한다.

비디오/메모리 제어기(78)는 80376 CPU(46)의 16 메가바이트 하드레스 범위를 이하의 메모리 범위로 디코딩한다. 비디오/메모리 제어기(78)의 DRAM(0H-FFFFFH), 7 메가 바이트의 DRAM(80000H-FFFFFH), 4 메가 바이트의 DRAM(F20000H-FFFFFH), 64 K의 내부 메모리(F10000H-F1FFFFH), 896 K 블록의 DRAM(F20000H-FFFFFH)으로 디코딩된다. 내부 메모리의 64 클로버마드는 팔레트 RAM, 블러터 레지스터, F107 레지스터 및 메모리를 포함한다. 팔레트 어드레스 범위는 전송되었다. 블러터 레지스터는 F10400H에서 F107FH의 범위로 확장된다. DSP 메모리는 F10800H로부터 F1B000H로 확장된다.

온-보드(on-board) 스크린 RAM 및 시스템 RAM은 512 K의 DRAM이다. 스크린/시스템 RAM을 포함하는 온-보드 DRAM은 16-비트 또는 32-비트 칩을 가질 수 있다. 적절한 DRAM은 도시바(Toshiba)에 의해 제조되는 TCS141706J 256 클로버마드×16-비트 메모리 칩이다. DRAM의 사이츠는 라스트셀러 비디오 프로세서(39)에 의해 결정된다. CPU(48)에 적실 영향을 주지는 않는다. DRAM, 이는 비디오/메모리 제어기(78)가 다른 버스 시스템에 후보지기 대해 유용한 더 많은 대역폭을 남김으로써 보다 신속히 동작하도록 한다. 스크린의 디스플레이 및 블러터 모드는 32-비트 메모리에서만 가능하다. DRAM의 2개의 뱅크는 전송한 바와 같이 부속될 수 있다. 칩은 임의의 DRAM이 부속될 경우, 전송한 메모리 범을 통해 반복될 것이다.

부속시스템 ROM은 항상 16 비트 칩을 가진다. 부속시스템 ROM은 여러 제조자에 의해 제조되는 2 개의 27C512 에리제이션 프로그램 메모리(erasable programmable read only memory)를 포함하며, 따라서 128 K의 부속시스템 ROM을 제공하게 한다. 라스트셀러, ROM 및 내부 메모리를 구비하는 F20000H로부터 FFFFFFH까지의 1 메가바이트 윈도우는 16 메가바이트 하드레스 범위동안 반복된다. 이는 여러 가지 프로세서가 비디오 프로세서(39)로 부속되는 것을 허용한다. 전송한 메모리 범을 재확인하며, 메모리 타입 레지스터는 CPU(48)에 의해 기록된다. 비디오/메모리 제어기(78)는 어디에서나 가능한 시스템 메모리(45)상의 페이지 오드 사이클을 대해 유용하다. 이들은 종래 메모리 사이클보다 빠르며, 연속적인 판독 및 가이이 될일 페이지 내에 임을 경우 발생된다. 비디오/메모리 제어기(78)는, 메모리 타입 레지스터내에서 프로그램되는 DRAM에 의한 할당된 수를 알 필요가 있다. 메모리 타입 레지스터에서, 비트 0 및 1은 DRAM에서의 할당된 수를 결정하며, 0은 256 할당용 가리키며, 1은 512 할당용 가리키고, 2는 1024할당용 가리키며, 3은 2048 할당용 가리킨다.

비디오/메모리 제어기(78)는 7 가지 타입의 전송을 지원하는데, 즉 종상 DRAM 사이클(4 사이클), 배이저 모드 DRAM 사이클(2 클럭), ROM 사이클(6 클럭), 내부 메모리(2클럭), 외부 1/0(6 클럭), 인터럽트 슬롯(2 클럭), 내부 1/0(2 클럭)을 지원한다. CPU(48)는 실질적인 전송에서보다 하나 많은 클럭 사이클에서 사이클링할 것이다. 내부 버스 마스터는 전송 시간에 사이클링할 수 있다.

비디오/메모리 제어기(78)는, CPU(48)에 대해 2X(2배속) 클럭이면서, 팔레트비전 크로마티션(크로마) 부반송파의 특수인 크로마티션에 대한 크로마티션 오실레이터를 사용한다. 이 크로마티션 클럭은 배비될리며, CPU(48)로 출력된다. 동일 클럭은 2 분할(divide by 2)을 얻는다. 이는 배비 시스템을 클럭으로서 출력된다. 이 클럭은 출개의 반을 통해 비디오 프로세서(39)로 입력된다. 클럭을 출력하기 위하여는 이하는 CPU 2와 배비 시스템을 할사이의 상대적인 스윙(skew)가 작은 딜레이를 다른 결과로 증가함으로써 하나의 뱅크 또는 다른 뱅크에 적용될 수 있다 때문이다. 크로마티션 주파수는 또한 1과 15 사이의 수에 의해 크로마티션 주파수를 분할할 수 있는 프로그램가능한 분할기에 의해 분할될 수 있으며, 공간 비율에 대한 각수 마크를 갖는 출력 미팅을 제공한다. 이는 팔레트비전 컬러 부반송파로 사용한다.

크로마 분할기 레지스터 2X 주파수 및 주파수에 대한 팔레트비전 컬러 부반송파(크로마)의 비율을 정의하는 4-비트 레지스터이다. 이는 다음과 같이 프로그램될며이다 한다. 즉, 크로마=2×크로마 주파수/크로마 주파수-1.

비디오/메모리 제어기(78)는 또한 상태 레지스터를 갖는다. 상태 레지스터 비트 0이 세팅될 경우, 비디오 타 임의인 PAL(유럽 팔레트비전 신호 표준)에 대해 설정되어야 한다. 상태 레지스터의 비트 0이 클러키되면, 비디오 타 임의는 NTSC에 대해 설정되어야 한다. 상태 레지스터의 비트 1이 세팅되었을 경우, 전압의 평도에는 클러-팬 인식이 존재한다. 이 비트는 라지터-팬에 의해 세트되며, 수직 동기화 의해 클러키된다.

비디오/메모리 제어기(78)는 라스트셀러 하나의 모드에 놓여질 수 있으며, 이후, 이는 2 개의 모드 클럭을 갖는 1/0 로게이션 및 64 K 메모리 로게이션에만 종단한다. 1/0 로게이션의 실질적인 로게이션은 칩 선택 입력에 의해 결정되어서, 로게이션은 외부적으로 종단될 수 있게 된다. 이 핀들(nenphole) 모드는 비디오 프로세서(39)로 하여금 1/0 예서의 적전 및 시스템(30)에서의 하드레스 메모리 뱅크를 차지하도록 한다.

레지스터는 32-비트 칩을 가지며, 따라서 두 개의 16-비트 액세스로서 액세스되어야 한다. 비디오 프로세서(39)내의 모든 1/0 레지스터를 하드레스하기 위해, 요구되는 레지스터의 종상의 1/0 하드레스는 지령에 보다 하여 위드(시11) 로우에 가리키며, 그 레지스터는 상위 웨드(시11) 하이라에 입력되거나 기록될 수 있다. 비디오 프로세서(39)의 내부 및 외부의 모든 메모리로 하드레스하기 위해, 64K 윈도우는 배그 레지스터에 가리키므로써 비디오/메모리 제어기(78)에 의해 동상적으로 디코딩된다. 16 M 하드레스 클라너의 임의의 64K 경계(boundary)로 이용될 수 있다. 뱅크 레지스터는 하드레스 메모리가 뱀을 모드에 있을 때 8 개의 칩선회 배를 제공하는 8-비트 레지스터이다. 예를 들면, 배그 F10000H에 있는 팔레트 액세스하기 위해 CPU(48)는 뱅크 레지스터에 0H를 기록하여 하이라, 그 후 외부 칩 선택에 의해 결정되는 뱀을 로게이션의 하부에 핀들 및 가리키며 한다.

블러터(72)는 가능한 신속히 그래픽 생성 및 애니메이션을 수행하기 위한(커브로 대역폭에 의해 제한되는) 그래픽 코프로세서이다. 이는 CPU(48)에, 배그 F61H에 의해 메모리로 가리키는 커번을 수행한다. 이는 시스템 모드(45)로부터 세팅된 커번 세트들을 반복하므로써 기 시스템의 그래픽 동작을 임의로 수행할 수 있다. 블러터(72)가 그래픽 동작을 수행하는 동안, 블러터(72)는 SYSTEM 버스 마스터가 되며, CPU(48)가 임의의 다른

버스 동작도 못하게 한다. 이것은 합리적인데 그 이유는 플러터(72)는 CPU(48)가 수행했을 동작을 수행하는데 사용되며, 따라서 프로그램 동작을 고속으로 하기 때문이다. 이는 또한 동작을 블러핑(blitting) 하기 위해 임의의 동기 제어 프로그램에 대한 필요를 제거하며, 플러터(72)에서의 임의의 인터럽트 발생 히드웨어에 대한 필요를 제거한다. 그러나, 다른 두 프로세서(DSP(61) 및 콤팩트 디스크(DMA)와 실시간 프로그램링을 허용 하기 위해, DMA 전송이 요구될 경우, 플러터(72)는 동작을 중지하며, SYSTEM 버스를 DSP(61) 또는 콤팩트 디스크 DMA 채널에 양도한다. 이는, 또한 인터럽트가 발생될 경우 동작을 중지하며, CPU(48)에 대한 SYSTEM 버스를 포기한다. 임의의 이들 전송들, 현재 동작은 중지되나, 인터럽트 신호가 비활성화되거나, DSP(61)가 DMA 액세스를 완료할 때 재동작할 것이다.

플러터(72)의 동작은 이하의 간단한 프로그램으로 잘 나타난다:

```

read command from memory

for n=0 to outer_count

    read parameters from memory

    for m=0 to inner_count

        if SRCEN then read source from memory

        if DSTEN then read destination from memory

        write destination to memory

    next m

next n

```

커맨드 및 오퍼랜드는 CPU(48) 또는 DSP(61) 의해 메모리로 기록된다.

플러터(72)는 비디오 프로세서(39) I/O 공간내에 여러개의 레지스터를 갖는데, 즉 (1) 두 개의 판독가능한 플러터 목적지 레지스터로서 동일 I/O 어드레스를 공유하는 두 개의 기록가능한 플러터 프로그램 어드레스 레지스터, (2) 제 1 판독 가능한 플러터 소스 어드레스 레지스터로서 동일 I/O 어드레스를 공유하는 기록가능한 플러터 커맨드 레지스터, (3) 제 2 판독가능한 플러터 소스 어드레스 레지스터로서 동일 I/O 어드레스를 공유하는 기록가능한 플러터 제어 레지스터, (4) 판독 가능한 내부 카운터 레지스터, (5) 판독가능한 플러터 외부 카운터 레지스터로서 동일 I/O 어드레스를 공유하는 제 1 기록가능한 플러터 진단 레지스터, (6) 판독가능한 플러터 상태 레지스터로서 동일 I/O 어드레스를 공유하는 제 2 기록가능한 플러터 진단 레지스터, (7) 제 3 기록가능한 플러터 진단 레지스터를 갖는다.

플러터(72)는 그래픽 및 블록 이동 동작을 실행하기 위해 여러 가지 모드에서 동작할 수 있다. 플러터(72)는 데이터 경로, 어드레스 발생기, 서킷의 세 개의 분리 블록으로 크게 분리되는 내부 아키텍처를 갖는다. 데이터 경로는 소스 데이터 레지스터, 목적지 데이터 레지스터, 패턴 데이터 레지스터의 세 개의 데이터 레지스터를 포함한다. 데이터 경로는 또한 지능적인 블러핑 동작을 하는 다량의 비교기와, 출력 데이터를 발생시키기 위한 논리 기능 유닛(LFU)을 포함한다.

어드레스 발생기는 3 개의 어드레스 레지스터를 포함하며, 이들은 플러터 커맨드를 연속하는데 사용되는 프로그램 어드레스 레지스터, 소스 레지스터 및 목적지 어드레스 레지스터이다. 이는 또한 어드레스를 갱신하기 위해 관련 스텝 레지스터를 갖는 연산 로직 유닛(ALU), 출력 어드레스를 발생하기 위한 멀티플렉서를 포함한다.

전술한 접근 간단한 프로그램에서 예시된 바와 같이, 서킷은 플러터(72)가 동작하는 두 개의 루프(내부 루프 및 외부 루프) 및 여러 개의 과감으로 된 프로그램으로서 소프트웨어적으로 동작된다. 이 동작의 여러가지 부분인 플러터 커맨드 레지스터내의 플래그(flag)에 종속적이며, 또한, 루프 카운트가 커맨드의 부분이지만, 이 프로그램은 고정된다.

데이터 경로는 세 개의 데이터 레지스터 및 두 개의 데이터 조작 블록을 포함하는데, 즉 출력 데이터를 제공하기 위해 다수의 유용한 범용으로 데이터 레지스터의 내용을 조합할 수 있는 논리 기능 유닛과, 기록 동작을 금지하고 선택사항적으로 플러터 동작을 중지시키기 위해 데이터상의 소량의 비교를 수행할 수 있는 비교기를 포함한다.

데이터 경로는 32-비트, 16-비트, 8-비트, 4-비트의 4 개의 사이즈를 데이터들 조절할 수 있다. 장 워드(32-비트 블록 기증)는 빠른 블록 움직임 및 블록 채우기(fill)를 수행할 때 사용된다. 픽셀(4-, 8-, 또는 16-비트 블록 기증)은 라인-드로잉(line-drawing), 다중 플레인(plane) 동작, 문자 패턴들 등과 같이 모든 플러터 모드를 사용하여 조작할 수 있다.

데이터 경로의 대부분은 16-비트 폭을 가지며, 이는 최대 스크린 픽셀 사이이다. 그러나, 소스 데이터 레지스터는 32-비트 폭을 가지며, 소스 데이터 레지스터의 상위 16-비트는 논리 기능 유닛의 모드에 관계없이 32-비트 모드로 기록된 데이터의 상위 16-비트를 제공하는데 사용된다. 따라서, 두 개의 16-비트 폭의 레지스터 (패턴 데이터 및 목적지 데이터) 및 하나의 32-비트 폭의 데이터 레지스터(소스 데이터 레지스터)가 있다. 소스 및 목적지 데이터 레지스터는 대응하는 반투 사이클에 내부 모뎀에서 인터로컬할 때, 시스템 메모리(45)의 소스 및 목적지 어드레스로부터 로딩된다. 그러나, 세 개의 데이터 레지스터 모두는 패턴 데이터를 갖는 불완전된 블록의 개수에서 로딩되며, 이는 출력 데이터를 제공하거나, 비교기에서 데이터의 부가적인 부가적인 소스로서 사용될 수 있다. 예를 들면, 패턴 데이터 레지스터의 데이터를 예제 들어, 마스크, 기록을 패턴, 또는 참조 길일 수 있다. 패턴 데이터는 소스 데이터 레지스터의 양쪽 역으로 로딩된다.

논리 기능 유닛은 시스템 메모리(45)의 목적지로 기록되는 출력 데이터를 발생시킨다. 논리 기능 유닛은 입력의 소스 및 목적지 레지스터 픽셀의 논리적 조합을 수행할 수 있다. '소스 데이터 픽셀'은 소스 데이터 레지스터의 또는 데이터 패턴 데이터 레지스터로부터 선택될 수 있다. LFU는 데이터 레지스터로부터 입력 데이터의 두 개의 세트의 4 개의 부울 만능(Boolean minterms)(A&B, A&B, A&B, A&B) 중 일의 것을 선택하며, 두 개의 선택된 만능의 논리 OR을 발생시킨다. 이는 입력 데이터의 입력의 논리 조합을 허용하며, 이로 인해 16가지의 기능적 가능성이 존재하게 된다.

32-비트 모드에서, 통상적으로, LFU는 소스 데이터를 생성하도록 세트되는데, 그 이유는 이는 16-비트 폭을 갖기 때문이다. 장 위도 기록동안 기록된 상위 16 비트는 항상 소스 레지스터의 상위 16 비트로부터 추출된다.

비교기는 소스, 목적지, 패턴 데이터 레지스터에서의 데이터에 대한 여러가지 비교를 수행할 수 있다. 이 비교 조건이 충족되는 경우, 이는 금지 신호(inhibit signal)를 발생시킨다. 금지 신호는 기록 동작을 금지시키는데 사용되며, 선택적으로 불완전 동작을 중지시키는데 사용된다. 비교기는 또한 출을 감할 및 시스템 메모리(45)에서 동작에 대해 두드러진 불량을 제공하고, 문자 패턴들을 찾기 위해 픽셀 클레안 효과를 제공하는데 사용될 수 있다.

다중 플레인 출력은 플레인 번호를 모든 픽셀에 할당함으로써 지원한다. 어 모드는 4 및 8-비트 픽셀에만 적용 가능하다. 8-비트 픽셀 모드에서, 8-비트 모드 2 개(비트 모드 7)는 두 개 모드의 플레인과 대응하는데 사용되며, 4-비트(니블(nibble))픽셀 모드에서, 4 비트 중 하나(두 니블 플레인의 비트 3 및 비트 7)는 두 개의 플레인을 제공하는 데 사용된다. 목적지 데이터의 플레인 번호가 소스 데이터 또는 이들의 입력의 조합의 플레인 번호와 동일하지 않거나 이보다 클 경우, 비교기는 금지 동작을 제공할 수 있다. 이는 스크린상으로 기록된 데이터가 상이한 플레인에 이미 존재하는 데이터에 의해 마스크될 수 있음을 의미한다.

전체 소스 픽셀이 목적지 픽셀과 동일하거나 또는 동일하지 않을 경우, 비교기는 출력을 제공하거나, 금지시킬 수 있다. 이는 예컨대, 색상 값을 위해 시스템 메모리(45)를 탐색하는 데 사용되며, 특히 소정의 컬러를 무한한 것으로 지정하고 그 무한한 컬러 값을 데이터 레지스터에 보관하는 데 사용될 수 있다. 이는 16-, 8-, 또는 4-비트 픽셀에 적용된다.

블러터(72)는 또한 비교기의 비트에서 픽셀들의 확장 모드 동작을 구비한다. 이러한 비교기 동작은 예컨대, 문자 패턴만을 사용하는 데이터의 비트에서 픽셀들의 확장을 가능하게 한다. 이 모드에서, 블러터는 내부 카운터 값에 기초하여 소스 비트들의 소정의 비트를 선택하며, 이 비트가 논리 ZERO일 경우 기록 동작을 금지시킨다.

블러터(72)는 3 개의 픽셀 해상도 모드를 처리할 수 있다. 즉, 각 위도가 하나의 픽셀에 대응하는 16-비트 모드, 각 바이트를 하나의 픽셀에 대응하는 8-비트 모드, 각 바이트를 두 개의 픽셀에 대응하는 4-비트 모드가 있다. 8- 및 16-비트 픽셀 모드에서, 데이터 경로는 원본에 하나의 픽셀을 처리하며, 그 출력은 픽셀값으로 이해할 수 있는 것이다. 하지만, 4-비트 픽셀 모드에서는, 시스템 메모리로부터 획득된 바이트는 바이트의 반이 원천의 픽셀이 패턴에, 소정의 추가의 요구 조건들이 데이터 경로의 끝에 놓이게 한다. 4-비트 모드 기록 동작에서, 변경되지 않은 목적지 데이터는 현재의 픽셀에 대응되지 않은 데이터 비트들의 반에 기록된다. 따라서, 목적지 판독은 4 비트 모드에서 항상 안이로 보이거나 한다(제어 비트 OSTEN을 세트). 이는 1 바이트 미만을 패턴 메모리에 기록하기 위한 방법이 없기 때문에, 실행되어 온다.

소스 4-비트 픽셀 어드레스 및 목적지 4-비트 픽셀 어드레스가 RAM의 대응 바이트의 상이한 번을 지시하는 것도 또한 가능하다. 이러한 경우, 시프터(shifter)는 소스 데이터의 두 개의 번을 교환(스왑핑(swapping))한다. 4-비트 모드에서, 패턴 바이트의 두 개의 니블(반 바이트, 4 비트)은 동일한 길으로 항상 세트되어야 한다.

블러터(72)에서의 프로그램용 길은 픽셀은 디스플레이 화면과 반드시 일치할 필요는 없고, 대량의 데이터를 이동시키는 가장 효과적인 방법은 32-비트 모드일 경우이다. 이러한 모든 픽셀은 장방향 장-유니온(longword aligned)이어야 하며, 시스템은 32-비트 RAM으로 위치하지 않을 다시 한 번 상기해야 한다.

블러터(72)는 또한 어드레스 발생기를 갖는다. 어드레스 발생기는 3 개의 어드레스 레지스터를, 증가 또는 스캔 레지스터, 어드레스 가산기, 어드레스 출력 디탈록스를 포함한다. 3 개의 어드레스 레지스터(45)의 어드레스, 목적지 어드레스, 프로그램 어드레스를 보유한다. 이들 레지스터의 각각은 블러터(72)로 하여금 16 메가비트당까지 어드레스하는 것을 가능하게 하는 24-비트 레지스터이다. 또한 소스 및 목적지 어드레스 레지스터는 4-비트 픽셀 모드에서 사용되는 니블 바이트를 포함한다. 프로그램 어드레스 레지스터는 프로그램이 인출할 어드레스를 보유하며, 이것을 사용하여 메모리 서미스에 수행될 데이터 한 워드씩 증가한다. 이 레지스터는 항상 작수이며, 따라서 비트 0은 항상 논리 ZERO이어야 한다.

소스 및 목적지 어드레스 레지스터는 각각의 시계를 후에 결산되며, 이들이 참조하는 객체(object)에서 상이한 원순성을 가능하게 하는 가산기를 사용하며, 다른 시간에 결산된다. 모든 소스 및 목적지 어드레스 결산은 순서적으로, 어드레스 레지스터의 하위 16 니블 16 비트 상에서만 수행될 수 있다. 이들 블러터(72)가 효과적으로 64K, 128K, 256K 또는 512K 메모리에 동작함을 의미한다. 이 모드에서 어드레스가 배워지는데, 오버플로(overflow)할 경우, 이는 래핑(wrapping) 처리, 오버플로우 또는 언더플로우는 상정되게 될 것이다.

블러터(72)는 어드레스를 결산하는데 사용되는 25-비트 폭을 갖는 가산기의 어드레스 가산기를 또한 갖는다. 어드레스 가산기는 0.5, 1 혹은 2와 같은 상수값 또는 스캔 레지스터를 한바에 지정된 번수까지 어드레스 값에 가산되도록 한다. 어드레스 가산기는 어드레스 값으로부터 그 동일한 값을 감소할 수 있다. 25번째 비트는 단순한 배와 같이 어드레스의 니블 부분이다. 한 픽셀 증가시키면, 스캔 해상도의 현재와 셋팅 상태에 따라

어드레스상에 심대한 오류가 발생한다.

모든 어드레스 레지스터는 해당 메모리 서어클의 종료시 자동적으로 갱신된다. 즉, 소스 판독시 소스 어드레스 레지스터가, 목적지 기록시 목적지 어드레스 레지스터(가)자동적으로 갱신된다. 어드레스는 불러온 커맨드에서 SWRAP 및 DWRAP 비트를 사용함으로써 추적되어도 탐방되며, 불러온 제이 레지스터 SLWRAP 및 DRWRAP 비트를 사용함으로써 수행적으로 탐방됨 수 있다.

어드레스 출력 필터복색서는 시스템 메모리(45)에 외부 어드레스를 제공한다. 어드레스 출력 필터복색서는 소스 어드레스, 목적지 어드레스, 프로그램 어드레스의 3 가지 유형의 어드레스를 제공한다. 이들은 다음 어드레스 레지스터로부터 직접 전달된다.

블러터(72)가 라인용 그리고 있을 때(drawing line), 어드레스 레지스터는 통상의 방식과는 상이한 방식으로 사용된다. 목적지 어드레스 레지스터는 라인으로 어드레스로서 사용되며, 소스 어드레스 레지스터 및 스텝 레지스터는 각각 델타(delta) 1 및 델타 2로서 사용된다. 라인 그리기 동안, 델타 2는 델타 1로부터 감소된다. 발생된 발원 출력(borrow output)은 두가지 목적지 어드레스 레지스터에 가산되는지를 결정하는 데 사용된다. 더 상세한 설명에 대해서는, 이하의 라인 드로잉 측면에서 하기로 한다.

블러터(72)는 또한 블러터(72)의 동작을 제어하는 시퀀서를 갖는다. 제어의 흐름은 두 레벨에서 가장 잘 이해된다. 제어의 일반적인 흐름을 묘사하는 일부 푸트와, 실질적인 블러팅 또는 라인 드로잉 동작을 수행하는 내부 푸트가 존재한다. 외부 푸트의 3 개의 색상은 커맨드 판독 과정, 파라미터 판독 과정, 내부 푸트이다.

내부 푸트는 실질적인 블러팅 또는 라인 드로잉 동작을 수행한다. 내부 푸트 사이클은 3 개의 메모리 서어클까지 포함될 수 있다. 이들은 소스 어드레스로 부터 판독, 목적지 어드레스로부터 판독, 목적지 어드레스로의 기록이다. 3 개의 사이클은 모두 선택사항이다. 푸트가 소스 판독, 또는 소스 판독 및 목적지 판독을 포함할 경우, 비교가 금지 해커니즘은 목적지 기록이 발생되기 전에 테스트된다. 이는 비교가 금지 조건이 일치할 때, 기록 사이클이 비어있는 것을 가능하게 한다. 비교가 금지 조건이 일치할 때, 현재 동작을 중지하지 CPU(48)로 제어를 복귀시키도록 하는 것이 가능하다. 그 후, 프로그램은 금지가 어디에서 발생한 지를 결정하기 위해 어드레스 레지스터를 검색할 수 있으며, 이로 인해 충돌 검증이 수행될 수 있다. 그 후 CPU(48)는 동작을 재개시킬 때 주는 중단될 지를 결정할 수 있다. 내부 푸트는 내부 푸트 카운터가 제로인 도록 현재 지 동작을 수행한다. 내부 푸트 카운터는 10-비트 카운터이며, 따라서 내부 푸트는 1부터 1024까지의 임의의 횟수를 반복할 수 있다.

블러터(72)는 비교가 기록 금지가 발생할 때 동작이 중단될 수 있게 함으로써, 충돌 검증에 비대한다. 이것이 발생할 때, 제이가 CPU(48)로 복귀되며, CPU(48)는 내부 상태를 조사하여 충돌의 원인이 무엇이었는지 판명할 수 있다. 이 시점에서, CPU(48)는 블러터(72)로 하여금 실행중이었던 동작을 재개할 수 있게 하거나, 블러터(72)를 유휴 상태(idle state)로 다시 라게시킬 수 있다. 라게 또는 재개 커맨드는 블러터(72)가 다른 동작을 위해 사용되기 전에 송출되어야 한다. 블러터(72)가 정지된 상태에 있을 동안, 새로운 깊은 커맨드 레지스터로 기록될 수 있으며, 충돌 중지 해커니즘이 디스에어블할 수 있음을 유지한다.

파라미터 판독 프로시저에는 새로운 파라미터 세트를 내부 푸트에 로딩시키는 매우 직권적(straightforward)한 시퀀스이다. 이는 메모리로부터 순서대로 내부 푸트 카운터 값, 스텝 레지스터 값 및 패턴 기록을 판독하며, 이들 깊은 데이터 레지스터를 사전설정(preset)하는 데 사용된다. 내부 카운터는 실질적으로 내부 푸트가 실행되는 횟수가 된다. 레지스터는 어드레스 증가에 사용되며, 특정 레지스터는 데이터 주석에 사용된다.

파라미터 판독 프로시저에는 블러팅 동작의 개시시에 커맨드 판독 과정의 일부로서 송출되며, PARPR 제어 버튼에 의해 결정되는 바와 같이 블러팅 동작에 의해 요구될 경우에도 또한 송출된다. 여분의 파라미터 판독은, 내부 푸트를 통해 패스를 사이에서 발생하며 파라미터가 변경될 수 있도록 하며, 이에 의해 불규칙한 형상의 패턴잉(irregular shape painting) 및 한-길이 인코딩된 데이터 압축(run-length encoded data decompression)과 같은 동작이 가능하게 한다.

커맨드 판독 과정은 새로운 블러팅 동작을 개시하는 데 사용된다. 블러터(72)는 블러터(72)의 정규의 비활성 상태를 나타내는 비활성 라게 상태에 개시한다. 이 상태로부터, 커맨드 레지스터 기록이 블러터(72)를 개시하기 위해 실행되며, 정상 이러한 기록에 앞서 프로그램된 어드레스 레지스터로의 기록이 실행된다. 동작 파라미터와 완전한 세트는 자동적으로 증가되는 프로그램 카운터 어드레스로부터 송출되며, 제어는 커맨드 판독 푸트로 간헐적 블러팅을 개시하며, 용이 새로운 커맨드 카운터는 프로그램 카운터 어드레스로부터 판독되며, 이 커맨드가 블러터(72)를 실행 용이(run mode)에 있게 함으로써, 새로운 파라미터들이 송출되며, 다른 커맨드가 개시된다. 그렇지 않을 경우, 블러터(72)는 정지된 상태로 들어가며, SYSTEM 바스용 CPU(48)에 복귀시킨다. 존속한 해커니즘에 의해 블러터(72)는 임의의 프로세서 개입이 없이 그래픽 커맨드의 각 시퀀스를 임의로 수행할 수 있게 된다. 이는 프로세서 I/O 기록 사이클이 블러터 메모리 판독에 비해 비교적 느리기 때문에 매우 유용하다.

외부 푸트의 정규의 동작은 커맨드 판독 푸트로부터 빠져 나오는 순간 개시된다. 그 후, 제 1 파라미터 세트를 판독하기 위해 파라미터 판독 푸트에 진입되며, 동작 개시점에 내부 푸트가 초기 값으로 로딩된 상태로 내부 푸트에 진입한다. 그 후, 외부 카운터는 감소되며, 제로일 경우, 커맨드 판독 푸트로 진입한다. 그 후, 레지스터에 기록된 소스 어드레스 및 목적지 어드레스를 하나 또는 둘다는 스텝 레지스터의 내용으로 갱신될 수 있다. 이 커맨드가 블러터(72)를 실행 용이(run mode)에 있게 함으로써, 새로운 파라미터들이 송출되며, 다른 커맨드가 개시된다. 그렇지 않을 경우, 블러터(72)는 정지된 상태로 들어가며, SYSTEM 바스용 CPU(48)에 복귀시킨다. 존속한 해커니즘에 의해 블러터(72)는 임의의 프로세서 개입이 없이 그래픽 커맨드의 각 시퀀스를 임의로 수행할 수 있게 되며, 외부 푸트 어드레스 레지스터는 다른 라인상의 구조의 시작점으로의 스텝된 어드레스 포인트의 이동을 결신한다. 파라미터 판독 푸트는 유선성을 부가하면서, 동시에 스텝된 구조 파라미터가 라인 단위로 변경될 수 있게 한다.

블러터(72)는 또한 서어를 타이밍 발생 및 모든 메모리 서어클의 버스 종주를 제어하는 메모리 인터페이스에 대해 미션을 갖는다. 블러터(72)는 블러터 커맨드 시퀀스이 지속되는 동안 CPU(48)로부터 SYSTEM 버스에 대한 제어를 넘겨 받는다. 이는 전술한 버스 양도 지연(bus handover latency)을 겪게 되나, 블러터(72)가 SYSTEM 버스를 하여받지 마지, 이 동작이 개시될 것이다.

메모리 인터페이스는 DSP(61) 또는 콤팩트 디스크 판독 채널 중 어느 하나가 SYSTEM 버스를 요구하지 마지,



이들 장치에 SYSTEM 버스를 양도할 것이며, 임의의 현재의 메모리 서어클을 종료하기 위해서만 장치된다.

인터럽트는 플러터 제어 레지스터에서 마스크되어 있지 않을 경우, 플러터(72)로 하여금 동작을 일단 중지하게 할 것이다. 플러터(72)는 인터럽트 라인 자체의 상태를 검출하며, 이를 사용하여 동작을 중지시킨다. 인터럽트 라인에 어젠의 상태를 재개하는 즉시 동작이 개시될 것인데, 이는 복원 포트(connective port)로서 CPU(48)가 가져올 때 발생한다. 이것은 반드시 인터럽트 서비스 루틴의 중요한 필요는 없으며, 따라서 바로 그대하여는 스캐 크롤(crawl)을 주의해야 하며, 통상적으로 서비스 루틴 동안 인터럽트를 디스에이블된게 유지되어 있다. 플러터(72)는 인터럽트 라인에 CPU(48)로부터의 게이트 없이 클리어되는 즉시 상태를 재개한다. 플러터(72)는 내부 인터럽트 소스(비디오 인터럽트, 어날로프 입력 인터럽트, 콤팩트 디스크 인터럽트)에만 응답한다. 임의의 외부 CPU 인터럽트 소스는 플러터(72)에 연결할 수 있다.

플러터(72)는 많은 동작 모드를 갖는다. 플러터(72)에 의해 수행되는 가장 간단한 동작은 시스템 메모리(45)의 하나의 블록을 다른 블록에 카피하고, 시스템 메모리(45)의 블록에 사전결정된 값을 채워넣는 것이다. 이들 동작은 시스템 메모리(45)의 선행 부분 및 임의의 적시각형 스코닝상에서 수행될 수 있다. 목적지 데이터 레지스터는 변경될 시스템 메모리(45)의 어드레스로서 사용되며, 소스 어드레스 레지스터는 카피 동작일 경우, 카피 중인 데이터의 어드레스로서 사용된다.

동작이 메모리의 선행 영역에서 수행될 때, 대부분의 어드레스 제어 바트는 새로운 세트된다. 스캐 레지스터는 사용되지 않으며, 유일한 요구 조건은 카피가, OSION 및 SSION을 적절히 셋팅하는데 있어서, 어드레스를 증가 또는 감소시키면서 이루어지는지 여부를 판단하는 것이다. 어드레스 레지스터에 바이트와 호기 같은 부호 바이트가 세트되지 않을 경우 동작이 수행되는 영역의 하부이며, 세트될 경우 상부만을 유지해야 한다. 잘 맞추어 있으면, 반복되는 기록되는 것만큼 픽셀이 첫번째 어드레스가 될 것이다. 동작의 길이는 내부 카운터에 맞추어지며, 외부 카운터는 1로 세트된다.

동작이 이루어지고 있는 블록이 매우 큰 경우, 내부 루프 및 외부 루프 카운터가 모두 사용되어야 할 수도 있으며, 동작이 이루어지고 있는 픽셀의 수는 내부 및 외부 카운터 각각의 곱(product)에 의해 주어진다. 소스 및 목적지 데이터 행 하나 또는 모두가 선행 영역에 아니고 적시각형일 때, 내부 루프 카운터는 적시각형폭을 포함하고, 외부 루프 카운터는 적시각형 높이를 포함할 것이다.

적절한 스캐 레지스터는 적시각형 주위의 유속으로부터 다음 라인 상의 좌속으로부터의 어드레스 증가분으로 세트된다. SRCUP 및 DSTUP 바트는 소스 또는 목적지가 적시각형연선에 따라 세트된다. 픽셀당 8바이트 또는 그 이상의 바이트 모드에 있어서, 메모리 채널에는 SRCEN 및 OSION은 사용되지 않으며, 바이트 SRCEN은 메모리 커서를 위해 세트되어야 한다. 4-바이트 픽셀 모드에서, DSTEN은 또한 항상 세트되어야 하며, 따라서 목적지 판독에 다른 픽셀의 행순을 읽기 위해 사용된다. 이 방법을 사용하는 경우는: 그렇지 않은 경우 보다 느릴수 유지해야 한다.

플러터(72)는 잘 알려진 디지털 처리 분석기(DPA) 알고리즘에 따라 라인을 그린다. 주어진 라인에 대해, X 어드레스 또는 Y 어드레스중 하나는 각 픽셀이 그려질 때 마다 항상 증가하는데 비해, 다른 하나는 적절한 스캔 순고에 총출력될 수 있는 증가되는 것에 일 알고리즘의 기능이다. 플러터(72)에 의해 사용되는 알고리즘은, 소정의 작업값(a working value)으로부터 dx 혹은 dy중 보다 작은 값을 계산하고 연산들로부터 발생할 경우와 dx 혹은 dy중 보다 큰 값을 다시 더해져서 방식으로 조건부 증가를 유발하는 연산 조건을 결정한다. 이 알 알고리즘은 실질적으로 나눗셈 연산을 이용하여 그레디언트를 계산한다 기호 "dx"는 그 라인이 대응하는 X 축 방향의 거리를 정하고, X1 및 X2가 X 축상의 2 점인 경우  $|X1 - X2|$ 로 주어지며, 수직 바(bar) 표시는 이항의 크기 또는 절대값을 의미한다. 따라서, 라인에  $(X1, Y1)$ 에서  $(X2, Y2)$ 로 그려질 경우,  $dx = |X1 - X2|$  및  $dy = |Y1 - Y2|$ 가 된다. 이로부터, (위에서 "절대 1"로 지칭되는) 미온 dx 및 dy중 보다 큰 값을 주 주어지며, (위에서 "절대 2"로 지칭되는) 02는 dx 및 dy중 보다 작은 값을 유지한다. 다음에, 그려진 각각의 픽셀에 대해, 02는 초기에 01/2로 세트된 작업값으로부터 감소된다. (인들론루를 가리키는) 그 감소 결과의 부호는 스코너 어드레스 경선의 조건부 부분에 대한 연산 조건이다. 이 인들론루가 발생될 경우, Y1의 원래 값은 작업값에 재가산된다. dx 및 dy의 바는 이러한 연들론루 및 재가산이 발생하는 바드를 나타낼 것이다. 이들 사이의 바는 물론 라인의 그레디언트이다.

라인 드로우를 생성하는데 사용되는 값은 이하와 같은 플러터 커맨드내에 세트되는데, 즉 라인의 시작점은 목적지 어드레스이고, 하운 소스 어드레스 레지스터의 바트 10 내지 19에 배치되며, 01/2는 바트 0 내지 9에 배치된다. 라인의 양끝단이 그려져야 할 경우, 01에 1을 다른 값에 사용되어야 하지만, 이는 또한 내부 카운터 값이 있다. 02는 목적지 소스 레지스터에 배치된다. dx가 dy보다 큰 경우, YPRAC 플레그는 세트되며, 그 법칙 않을 경우 클리어된다. SSION은 X-어드레스 경선의 부호를 제공하며, OSION은 Y-어드레스 경선의 부호를 제공한다.

라인을 그리는 동안, 어드레스 색선내의 모든 레지스터는 라인 어드레스를 계산하는데 활용되며, 따라서 플러터는 라인을 그리는 때 데이터와 소정의 장소로 부터 이동시킬 수 없다. 따라서, 라인 어드레스가 기록된 데이터 행에 대한 데이터에 의해 직접 주어지거나 또는 논리 유닛에 따라 패턴 레지스터 및 이미지 거기에 존재하는 데이터의 조합에 의해 주어진다. 즉, SRCEN은 세트되지 않아야 하며, 그렇지 않을 경우 플러터는 이미 렌딩 데이터를 생성할 것이다. 라인을 그리는 동안, 내부 카운터는 라인의 길이에 세트되며, 외부 카운터는 1로 세트된다. 픽셀당 8 바이트 그 이상의 바트 모드에서, 판독-전공-기록 동작을 위해 사용될 줄을 감용, OSION은 세트될 필요가 없다. 픽셀당 4-바이트 모드에서, DSTEN은 목적지 판독이 다른 픽셀들 행순까지가 없으면 사용될도록 항상 세트된다.

플러터(72)는 또한 단일 동작으로 스코닝상에 문자를 패턴링하는 능력을 갖는다. 플러터(72)에 관한 한, 한 문자는 픽셀의 행이 최고 8 픽셀이고 높이가 임의의 값인 적시각형 영역을 패턴링한다. 이 영역내의 픽셀은 모든 행들에 따라 기록되거나, 변경되지 않고 남겨진다. 이 모드는 문자 패턴링으로 재편되지 않으나, 저점의 임의의 그래픽을 모노코롬 바트 플레인으로서 작성시키는데 또한 사용될 수 있다.

문자 패턴링 물론, 소스 레지스터는 통상적으로 폰트(font)의 일부인 바트 패턴을 마드레싱하는데, 여기서 각각의 바이트는 그 글자의 하나의 행(row)에 대응한다. 따라서, 플러터 폰트는 폭이 최고 8 픽셀이거나, 더 낮은 폰트가 사용될 수 있으며, 이 경우에는 문자를 패턴링하기 위해 1 이상의 플러터 패턴들 동작을 요구할 것이다. 문자 패턴링은 기본적으로 시스템 메모리(45)에 위치한 폰트 폰트로부터 목적지 어드레스로의 출력 이동이다.

데이터는 최하위 비트에서 가장 좌측의 픽셀에 대응하는 비트 및 가장 낮은 어드레스에서의 문자의 최상위 비트까지 집결된다. 데이터가 8 픽셀 폭보다 작을 경우, 폰트 데이터의 최하위 비트는 사용하지 않는다.

복직지 어드레스 레지스터는 문자가 해인팅될 스캔의 소정 영역을 어드레스하는 데 사용된다. 통상적으로, 이 영역은 이전의 볼러트 동작에 의해 정의된 배경 팔로로 들어맞는다. 복직지 어드레스는 문자의 일부 좌측 끝으로 초기화된다. 해인팅될 문자는 적시각이며, 따라서, 복직지 어드레스는 이에 따라 프로그램된다. 내부 카운터는 문자 폭으로 전승되며, 외부 카운터는 문자 높이로 전승된다. 복직지 스캔 레지스터는 문자 폭보다 작은 스캔 폭으로 프로그램된다. DSTUP 비트는 복직지 어드레스가 내부 루프를 통해 픽셀들 사이에서 전승될 수 있게 하는 데 사용된다.

내부 루프 제어 비트 DSTEN 및 SRCEN은 세트되며, 문자 패딩을 SRCEN의 존재에 대한 이유이다. 아예의 해, 각 행에 대한 스캔 번호는 이 패딩 행을 나타낼 수 있다. 비교기는 픽셀의 패딩을 제어하는 데 사용되며, 따라서 바이트 짜집 해기나중에 해당 비트를 연이어들 사용하기 위해, ONPBIT 제어 비트가 세트된다.

패딩행들 필러는 픽셀으로서 세트되며, 이는 통상적으로 패턴 데이터 레지스터내에 유지될 것이다. 4-비트 픽셀 모드에서, DSTEN은 세트될 것이고, 복직지 어드레스 레지스터는 판독 같은 유지에서, 바이트의 다른 번이 방해받지 않고서 다시 기록될 수 있도록 해준다. 전승된 바와 같이, 소스 데이터 레지스터는 폰트 패턴을 유지한다.

볼러트 순환 및 스케일링 모드는 셰이딩(shading) 제어를 사용하나, 3 개의 DDA-기반 데이터 깊은 생성하는 대신에, 이는 2 개의 DDA-기반 어드레스 값, 즉 X 및 Y 를 생성한다. 이들을 같은 영역의 각 레이트(rate)에서 소스 데이터 팔로들 가로지르는 데 사용되어서, 복직지 데이터가 이들의 스케일링되고/되거나 순환된 버전에 대응하게 된다.

로터 값 발생기는 X 값을 제공하며, 그런 값 발생기는 Y 값을 제공한다. 볼루 값 발생기는 사용되지 않으며, 명확히 셰이딩은 이 모드와 함께 사용될 수 없다. 순환이 셰이딩보다 더 높은 정확도를 요구할 때, 4 개의 예본의 경우 비트가 X 및 Y 값에 기선된다. 이들은 순환 레지스터에서 0 및 1로 설정된다. 모든 측정은 10 포인트 비트 정확도를 수행한다.

셰이딩함에 따라, 각 픽셀이 내부 루프에 그려진 후에, 얼마 같은 X 및 Y 가 기선된다. 스캔 같은 외부 루프 내에 기선되며, SRCUP 및 DSTUP 플레어는 이들이 기선되기 위해 설정되어야 한다. 얼마 및 스캔 같은 포인트 또는 나기터이며, 셰이딩 모드에서와는 달리, 가산 또는 포화(saturation)가 발생되지 않는다.

통상적으로, 순환 및 스케일링은, 적시각한 복직지상에 통상적인 레지스터 스캔을 수행하기 위해 복직지 어드레스 포인터를 세트시키므로써 수행되며, 소스 포인터는 적각한 그레디언트 및 레이트로 소스 데이터 위를 가로지른다. 이는 복직지 데이터가 연속적이며, 불필요한 플러터(불러터)는 요구되지 않게 한다. 복직지 영역이 적시각해야 아닐 경우, 소스 데이터는 적절한 후행한 팔로로 들어맞아야 한다.

볼러트 커맨드(는) 메모리내의 데이터의 데이터로서 주어진다. 볼러트(72)는 레지스터에 데이터의 내용을 로딩시키며, 특정 동작을 수행한다. 볼러트(72)는 커맨드 레지스터에 STOP 안스텐픽이 판독될 때까지 연속적인 커맨드 세트들 수신했다.

볼러트 프로그램 어드레스는 커맨드 워드가 송출되기 전에 설정되어야 한다. 볼러트 프로그램 어드레스는 동시에 전체 24-비트 어드레스를 형성하는 프로그램 어드레스 레지스터에 의해 부여된다. 이들을 같은 예본 결정에 의하여 한다.

볼러트 커맨드 데이터의 전체 데이터들은 커맨드 워드로 시작된다. 그러나, 시퀀스에서의 새 1 볼러트 커맨드(은), CPU(48)의 1/0 시애틀에 의해 커맨드 레지스터로 기록되는 커맨드 워드를 가지며, 따라서 볼러트 커맨드는 제 2 워드로부터 커맨드 데이터를 판독하는 것부터 시작된다. 마찬가지로, 미시지 볼러트 커맨드는 단지 실행 벡터 플러터들 갖는 커맨드 워드로 구성되는 것만을 필요로 한다.

볼러트 커맨드는 다수의 커맨드 비트 및 제어 비트, 24-비트 소스 어드레스, 24-비트 복직지 어드레스, 10-비트 좌측 카운트 값, 10-비트 내부 카운트 값, 12-비트 부호화된 소스 스캔, 12-비트 부호화된 복직지 스캔, 15-비트 패딩 값의 형태로 취한다. SHADE 비트가 세트될 경우, 9 개의 추가적인 워드, 즉 점도, 그런, 볼루 초기화 값(6 점수 비트 및 10 소스 비트), 래드, 그런, 볼루 팔라 (25%), 래드, 그런 및 볼루 스캔 값(25%) 이 인출된다.

커맨드 비트는 이하와 같다. RUN 비트를 셋팅시키므로써, 볼러트(72)가 동작을 개시하게 된다. 이는 1/0 포트로서 커맨드 레지스터에 기록될 때 볼러트(72)로 하여금 커맨드들 판독하도록 개시시키는 데 사용된다. 볼러트(72)가 커맨드 블록의 일부로서 RUN 비트가 클리어한 커맨드들 로딩할 경우, 동작은 중지한다. CUST 비트를 셋팅시키므로써, 충돌(가속 글자)이 야할한 경우 동작이 중지된다. 이 서점으로부터, 인쇄 동작은 CPU(48)에 의해 재개되지만, 후시일 수 있으며, 야하기 내부 레지스터가 판독될 수 있다. PAH00 비트를 셋팅시키는 것은, 볼러트(72)가 프로그램 카운터 어드레스로부터 새로운 카운터 세트를 판독할 것을 요구하며, 해시나 내부 루프로부터 빠져나오며, 외부 루프는 재로에 도달하지 않는다. SRCUP 비트를 셋팅시키는 것은, 외부 카운터가 재로에 도달하지 않았을 경우, 소스 레지스터에 기선될 것이 요구된다. DSTUP 비트를 셋팅시키는 것은, 외부 카운터가 재로에 도달하지 않았을 경우, 스캔 레지스터의 내용이 내부 루프로부터 빠져나오는 순간 복직지 어드레스에 기선될 것이 요구된다. SRCEN 비트를 셋팅시키므로써, 내부 루프에서 소스 어드레스 판독이 가능하게 된다. 이는 또한 소스 어드레스 레지스터가 픽셀 사이즈에 따라 증가하도록 한다. 내부 루프에서의 복직지 어드레스 판독이 가능하게 된다. 이는 복직지 기록 시애틀의 부동으로서 증가되는 복직지 어드레스 레지스터에 영향하지 않는다. SRCEN 비트를 셋팅시키므로써, 내부 루프가 처음에 진입할 때 소스 어드레스가 판독되지만, 순차적으로 전승되지 않는다. 전승한 바와 같이, 이는 SRCEN의 특별한 경우이며, 문자 패턴 모드와 관련된다. SRCEN은 SRCEN이 세트될 경우, 오류를 발생하지 않는다. 두 개의 비트 PSIZED 및 PSIZET는 각각 4, 8, 10, 32, 비트에 대응하는 0 내지 3의 픽셀 사이즈를 선택한다. 전승한 바와 같이, 32-비트는 오직 32-비트 시애틀에의 데이터 이동만을 위한 것이다. 2-비트 PSIZED와 PSIZET는 바이트 당으로 각각 256, 512, 1024, 2048, 비트당에 대응하는 0 내지 3의 스캔 폭을 선택한다. LINMODE 셋팅시키므로써, 볼러트(72)는 그런, 그 래터 모드에 진입하게 된다. 이 모드는, 판독 및 기록 모두에 사용될 수 있는 라인-도플로 어드레스를 발생시키도록 소스와 복직지 어드레스 레지스터 모두를 사용한다. YFRAC 비트를 셋팅시키므로써, 볼러트(72)에게 X 및 Y 어드레스 중 어느 것이 라인 그리기 모드에서 비례적으로(fractionally) 증가됨을 지시하게 된다. 이는 X 43-18

어드레스가 비동적으로 증가될 때, 세트된다. PATSEL 비트를 셋팅시키므로써, 소스 데이터 레지스터가 논리 기능 유닛으로서의 소스 압축으로 대체되도록 패턴 데이터 레지스터가 선택된다. 이 버트는, 소스 데이터 레지스터가 온도(ton) 데이터를 포함하고, 패턴 데이터 레지스터가 잉크(ink) 칼라를 포함한 경우, 색의 패턴링과 관련된다. 색이도 비트를 셋팅시키므로써, 기록 데이터로서 색이된 세로로부터의 출력이 가능하게 된다. 이 버트는 8~ 및 16-비트 픽셀에서만 유효하다.

플래터(72)는 제어 버트의 여러가지 유형, 즉 소스 제어 버트, 목적지 제어 버트, 논리 기능 유닛 제어 버트, 비교기 제어 버트를 갖는다. 플래터(72)는 여러가지 소스 제어 버트들 중 하나를 선택하기 위하여, 메모리들 통해 선택적으로 실행되는 것과 상반되게, 소스 어드레스 경선이 프로그램가능하게 결정상에서 발생된다. 비트 SWRAP0와 SWRAP1은 각각 64K, 128K, 256K, 512K 스크린에 대응하는 0 내지 3으로 소스 어드레스 포인터가 수직으로 랩핑되도록 하는 SWRAP 함수의 사이즈를 제어한다. SRCOMP 비트를 셋팅시키므로써, 소스 데이터 레지스터가 비교기로 압축되는 소스로서 선택된다. SRCOMP 비트가 클리어될 경우, 패턴 데이터 레지스터가 사용된다. OWRAP 레지스터를 셋팅함에 의해, 소스 포인터가 내부 루프 경선을 위한 코드에 랩핑되게 된다. O5100 비트를 셋팅시키므로써, 소스 어드레스를 경선할 때 사용되는 루프가 세트된다. 루프를 셋팅시키므로써, 소스 어드레스가 증가하는 대신 감소된다. 이 버트는 라인-드로잉에서 X가 네거티브가 되도록 한다.

플래터(72)는 또한 여러가지 목적지 제어 버트들 갖는다. OWRAP 비트를 셋팅시키므로써, 메모리들 통해 선택적으로 실행되는 것과 달리, 목적지 어드레스 경선이 프로그램가능한 결정상에서 발생된다. 비트 OWRAP0 및 OWRAP1은 각각 64K, 128K, 256K, 512K 스크린에 대응하는 0 내지 3으로 소스 어드레스 포인터가 수직으로 랩핑되도록 하는 OWRAP 함수의 사이즈를 제어한다. DSTOMP 비트를 셋팅시키므로써, 소스 데이터 레지스터가 비교기로 압축되는 소스로서 선택된다. DSTOMP 비트가 클리어될 경우, 패턴 데이터 레지스터가 사용된다. OWRAP 레지스터를 셋팅함에 의해, 소스 포인터는 내부 루프 경선을 위한 라인 코드에 랩핑되게 된다. O5100 비트를 셋팅시키므로써, 소스 어드레스를 경선할 때 사용되는 루프가 세트된다. 루프를 셋팅시키므로써, 소스 어드레스가 증가하는 대신 감소된다. 이 버트는 라인-드로잉에서 Y가 네거티브가 되도록 한다.

플래터(72)는 또한 논리 기능 유닛 제어 버트들 갖는다. 논리 기능 유닛(LFU)은 목적지 기록 사이즈에 기록되는 데이터들을 제어한다. LFU는 소스 및 목적지 데이터의 일단의 논리 조합을 형성한다. 이는 만일 둘도 하나를 선택하는 LFU0에서 LFU3까지의 LFU 버트 각각에 의해 달성된다. 그 총력은 선택된 일의 논리 OR에 의해 주어진다. 0 같은 NOT 소스 및 NOT 목적지에 대응하고, 1은 NOT 소스 및 목적지에 대응하고, 2는 소스 및 NOT 목적지에 대응하고, 3은 소스 및 목적지에 대응한다. 따라서, 16 가지의 가능성이 존재한다.

플래터(72)는 또한 여러 가지 비교기 제어 버트들 갖는다. CMPPLN을 셋팅 시키므로써, 플래터 모드기 연에이불된다. 플래터 모드에서는 전체 픽셀이 아닌 플래터 변조 비트 상에서 비교기 기능이 동작한다. CMPFO 비트를 셋팅시키므로써, 플래터 모드에서 목적지 픽셀의 우선순위가 소스 픽셀의 플래터 우선순위와 동일하거나, 플래터 모드기 아닐 경우라고 전체 픽셀이 동일할 때, 비교기가 내부 루프 기록을 금지시키게 된다. CMPNE 비트를 셋팅시키므로써, 플래터 모드에서 목적지 픽셀의 우선순위가 소스 픽셀의 플래터 우선순위와 동일하지 않게 된다. 플래터 모드기 아닐 경우라고 전체 픽셀이 동일하지 않을 때, 비교기가 내부 루프 기록을 금지시키게 된다. CMPGT 비트를 셋팅시키므로써, 플래터 모드에서만 동작하게 되며, 목적지 픽셀의 플래터 우선순위가 소스 픽셀의 플래터 우선순위에 못를 경우, 비교기가 기록을 금지시키게 된다. CMPB1을 셋팅시키므로써, 버트에서 바이너리의 확장 범위에 사용된다. 이는, 내부 카운터를 사용하여 소스 데이터 레지스터의 버트를 선택하고, 선택된 버트가 제로일 경우 금지자를 발생시키므로써, 비교기가 금지자를 발생시키게 된다. 내부 카운터에서 버트 0은 선택사항으로 8에 선택되며, 버트 1은 선택하며 7에 선택되고, 버트 2를 선택하면 6에 선택되는 등과 같이 된다.

프로그램 어드레스 레지스터는 플러징 동작 커맨드의 소스를 지시한다. 데이터의 메모리를 통해 휘트 방향으로 순차적으로 이루어져서 판독된다. 이는 항상 주소이어야 한다(즉, 버트 0은 휘트 동작은 워드 결정상에 있어야 한다). 레지스터 0은 어드레스 버트 0 내지 15에 대응하며, 레지스터 1은 어드레스 버트 16 내지 23 버트 0 내지 7에 대응한다.

전술한 플래터 레지스터들 일부는 CPU(48)의 I/O 공간에서 가시적이다. 또한, 몇몇 플래터 상의 몇 제어 버트들 CPU(48)로 액세스가 가능하다. 전술한 바와 같이, 플래터(72)는 7 휘트-팩트 레지스터 및 4 휘트-팩트 레지스터를 갖는다. 기록 레지스터에서 사용되지 않은 일단의 버트는 0으로 기록되어야 한다. I/O 레지스터는 I/O 어드레스 140로부터 시작하는 것으로 인식된다. 이들 레지스터는 또한 메모리 뱅크에 이용가능하며, 주로 USP(61)는 40로서 동일 오프셋에서, 그러나 바이스 어드레스 F10400(즉, 메모리 어드레스를 얻기 위한 것인 40) 및 가산 F10400(즉, 출발하는 레지스터 통를 액세스할 수 있게 된다. 제 1 플러터 목적지 레지스터는 목적지 어드레스 레지스터의 버트 0 내지 15에 대응한다. 제 2 플러터 목적지 레지스터의 버트 0 내지 7은 비교기 어드레스 레지스터의 버트 16 내지 23에 대응한다. 제 2 플러터 목적지 레지스터의 버트 15는 목적지 어드레스 레지스터의 목적지 어드레스 나뉘 부분에 대응한다. 제 1 플러터 소스 레지스터는 소스 어드레스 레지스터의 버트 0 내지 15에 대응한다. 제 2 플러터 소스 레지스터의 버트 0 내지 7은 소스 어드레스 레지스터의 버트 16 내지 23에 대응하며, 제 2 플러터 소스 레지스터의 버트 15는 소스 어드레스 나뉘 부분에 대응한다. 플러터 라인 커맨드의 버트 0 내지 9는 내부 카운터 값에 대응한다. 플러터 외부 카운터의 버트 0 내지 9는 외부 카운터 값에 대응한다. 플러터 상의 레지스터는 여러가지 플러터 상의 정보를 제공한다. 버트 0은 비교기 플래터 우선 순위의 "보다 큰(greater than)" 조건이 만족함을 나타낸다. 버트 1은 비교기 플래터 우선 순위의 "동등(equal)" 조건이 만족함을 나타낸다. 버트 2는 비교기 플래터 우선 순위의 "동일하지 않음(not equal)" 조건이 만족함을 나타낸다. 버트 3은 비교기 플래터의 "동일(equal)" 조건이 만족함을 나타낸다. 버트 4는 비교기 플래터의 "동일하지 않음(not equal)" 조건이 만족함을 나타낸다. 버트 5는 비교기 버트 대 픽셀 상의 만족함을 나타낸다. 버트 13은 실행 버트에 해당하며, 플러터가 전체 동작중이거나, CPU 인터럽트 또는 종료 정지에 의해 동작 중이냐에 따라 결정된다. 버트 14는 플러터가 CPU 인터럽트 또는 의해 정지(sten)되었음을 나타낸다. 버트 15는, 플러터가 종료 정지되었을 때 플러터가 플러터 레지스터 어드레스 레지스터는 플러터 프로그램 어드레스의 버트 0 내지 15로 로딩된다. 레지스터의 버트는 0 내지 15는 0이다. 버트 16은 플러터 프로그램 어드레스의 버트 0 내지 23으로 로딩된다. 레지스터의 버트는 0 내지 9는 0이다. 플러터 커맨드 레지스터는 플러터 커맨드의 휘트 0에 대응하며, 플러터가 개시될 때 커맨드를 실행하는데 사용된다. 그후, 플러터 DMA는 커맨드의 휘트 1로부터 개시될 것이다.

플래터 제어 레지스터는 3 개의 버트들 갖는다. 인터럽트 정지 마스크인 버트 0은 세트될 때 플러터의 버스 4-

이 유닛으로부터 인터럽트를 마스크하며, 이 결과 플러티는 인터럽트가 발생할 때 중지하지 않게 된다. 비트 1은, 출을 주, 플러티가 동작을 재개하도록 하며, 출들이 검출된 후 플러티를 재개시키는데 사용된다. 출들은 OLSST 비트가 세트될 때 출들의 상태에 따라, 플러티는 중지된 동작을 재개할 것이다. 플러티가 출을 중지 상태에 있을 동안 다른 것들 OLSST 비트가 변화할 수 있도록, 플러티가 모든 레지스터를 다시 프로그램할 수 있는 것이 가능하다. 비트 2는 출들 후에 플러티를 중지 상태로 래스치키며, 출들 전지가 발생하면 배 플러티가 수행했던 동작을 취소시키는데 사용됨을 주지해야 한다. 플러티 출들 전지가 발생된 후, 재개시 또는 래스치 플러티로 출들되어야 할 출을 주지해야 한다. 플러티(72)는 또한 3 개의 순환 레지스터를 갖는다. 비트 0 내지 3은 X 어드레스의 정수 부분의 상위 4 비트에 대응하며, 10 비트 값의 하위 6 비트는 레드 값의 정수 부분이다. 비트 4 내지 7은 Y 어드레스의 정수 부분의 상위 4 비트이며, 10-비트 값의 하위 6 비트는 레드 정수 값의 정수 부분이다. 비트 8 내지 11은 X 어드레스의 정수 부분의 상위 4 비트에 대응하며, 10-비트 값의 하위 6 비트는 레드 정수 값의 정수 부분이다. 비트 12 내지 15는 Y 어드레스의 정수 부분의 상위 4 비트에 대응하며, 10-비트 값의 하위 6 비트는 레드 정수 값의 정수 부분이다. 비트 8 내지 11은 Y 어드레스의 정수 부분의 상위 4 비트에 대응하며, 10-비트 값의 하위 6 비트는 레드 정수 값의 정수 부분이다. 제 3 순환 레지스터에서, 비트 0은 셋팅시키므로써, 순환 어드레스가 목적지를 대체하게 된다. 비트 1을 셋팅시키므로써, 순환 어드레스가 순환 어드레스를 대체하게 된다. 비트 2를 셋팅시키므로써, 세이빙 모드와 상반되게, 순환 모드를 세트시킨다. 비트 10 내지 15는 순환 어드레스의 상위 비트에 대응한다.

DSP(61) 오디오 코프로세서는 고전적 유적 합성기를 실행시키기에 충분한 권력을 갖는 범용 연산 코프로세서이다. 동기 직렬 출력을 16 비트 정밀도를 갖는 스테레오 오디오 신호의 발생을 위해 제공되며, 통상적으로 음향 및 디스크 기법과 통상적으로 관련된 시론도 음장을 제공한다. DSP(61)는 호스트 CPU(40)로부터 마이크로프로세서로 프로그램가능하며, 인스트럭션 세트는 "유적 합성기"의 기능과 상당히 상이한 많은 다른 기능을 제공하기 위해 사용자 지정 정의를 프로그램할 수 있도록 충분히 광범위하다. 이러한 애플리케이션은 알고리즘을 최적화 및 설정, 고음 처리(processing) 변환 기법을 사용하는 오디오 분석, 3-치원 그래픽 순환을 포함할 수 있다. DSP(61)는 데이터의 데이터 상을 위해 하버드(Harvard) 아키텍처(분리 프로그램 및 데이터 버스)를 사용한다. DSP(61)는 연산 논리 유닛(ALU)을 갖는다.

ALU는 가산, 감산, 논리 가능 뿐만 아니라 곱셈/누산등을 행하는 하드웨어 16-비트×16-비트 하드웨어의 목적을 갖는다. 또한, 비트(11)과 같은 8 비트를 변경하는 식별 코드를 유닛이 갖는다. 가산/감산기로부터의 캐리(carry) 비트는 분리 라지에 저장되며, 다-순환 연산 동작을 위해 캐리값을 다-순환에 사용될 수 있거나, 조건부의 인스트럭션에 사용될 수 있다. 모든 인스트럭션은 이 비트의 세트 여부에 따라 종속될 수 있다. 승산/누산기의 내부 트랜잭션을 제외한 정지내의 데이터 전송은 모두 16 비트 폭이다.

DSP(61)는 수평 시론도 합성을 위한 매우 간단하며, 매우 빠른 프로세서이다. 또한 전술한 바와 같이 다른 컴퓨터 작업을 수행할 수 있다. DSP(61)는 한 프로세서 사이클에 모든 인스트럭션을 수행하며, 이들 인스트럭션은 시론도 합성 속도(전통적으로 20 내지 33 매키에이즈)로 실행된다. 시론도 합성 동안, DSP(61)는 오디오 디지탈-아날로그 컨버터(DAC) 인터페이스내의 타이머에 의해 제어되는 타이밍을 갖는다. 이들 DAC는 더블-비트/비트, DAC 기록이 오버플로우를 유발할 경우, 버퍼가 넘 해지키 동작이 중지된다. 샘플 속도로 소프트웨어가 루프를 실행하고, 평균 루프 타이머 샘플을 주기마다 계산 한, 임시 루프(occasional loop)가 루프에서 났을 수 있다. 루프는 프로그램 RAM에 공급되는 것보다 많은 인스트럭션을 포함할 수 있게 때문에, DSP(61)는 오디오의 동일 부분이 여러 개의 음원으로 동작할 수 있게 하는 인스트럭션 어드레스 모드들 갖는다.

DSP(61)는 하버드 아키텍처 장치이며, 따라서 프로그램 RAM 및 데이터 RAM은 분리되며, 사이클은 동일 시간 어 RAM 블록 둘다에서 발생한다. 1-사이클 파이프 라인이 사용되며, 각 클럭 사이클 동안 두 개의 어 이벤트, 즉 인스트럭션이 인출되고, 이전의 인스트럭션과 연관된 데이터 전지가 발생한다. 이는 결과 어의 인스트럭션이 실행되는 즉이한 효과를 갖는다. DSP(61)는 전형적인 ALU 및 승산/누산 ALU의 두개의 연산 논리 유닛(ALU, 도식적이 않음)을 가지며, X 오버랜드 레지스터, 제 2 오버랜드 레지스터, ALU로부터의 결과를 포함하는 MZ 레지스터, 승산/누산 레지스터로부터의 결과를 포함하는 MZ 레지스터와 같은 여러 개의 레지스터를 갖는다. DSP(61)는 또한 DMA 채널 및 분할기를 갖는다.

DSP(61)의 동작은 매우 간단하다. 인스트럭션의 실행의 첫 번째 단계에서, 연산 코드(opcode)는 프로그램 RAM으로부터 인스트럭션 디코더로 판독된다. 두번째 단계에서, 다음 인스트럭션이 프로그램 RAM으로부터 판독되는 동안, 첫 번째 인스트럭션에 따라, 데이터 전송이 시스템 메모리(45)로부터 레지스터로, 또는 레지스터로부터 시스템 메모리(45)로 수행된다.

DSP(61)내의 ALU는 텍사스 인스트루먼트(Texas Instruments)의 74181과 동일 기능을 갖는 16-비트 연산 논리 유닛이다. 이는 본 기술 분야에 잘 알려져 있다. 인스트럭션 인출 동안 인스트럭션은 통상적으로, 승산/누산 동작이 않은 인스트럭션은 범용 연산 인스트럭션(ALU)을 갖는 ALU 모드 비트를 직접 설정함으로써 수행될 수 있다.

DSP(61)는 32 비트 결과를 제공하기 위해 16×16 비트로/비트로 승산을 수행하기 위한 제 2 ALU의 승산/누산기를 또한 갖는다. 이외에도, 승산의 출력이 이전의 결과에 가산될 경우, 이는 승산/누산 동작을 또한 수행할 수 있다. 결과는 오버플로우를 허용하기 위해 36 비트로 누산된다. 승산이 동작할, 승산 인스트럭션이 하의 턴으로 연산한다 해도, 실질적으로 2 개의 턴을 취한다. 이는 승산 또는 승산 누산에 후속하는 인스트럭션이 MZ 레지스터 또는 X 레지스터를 포함하지 않을 때만이다.

DSP(61)는 또한 세션기를 갖는다. 세션 유닛은 내부 DSP(61) 공구내의 레지스터의 세트로서 나타난다. 이는 16- 또는 32-비트 오버랜드상의 내부로 세션이 가능하며, 두나 32-비트를 제공한다.

DSP(61)는 또한 DMA 채널을 갖는다. DMA 채널은 DSP(61) 데이터 메모리 공구내의 레지스터 세트로서 나타난다. 이들은 두 개의 어드레스 레지스터 및 데이터 레지스터이다. 어드레스를 두 개의 어드레스 레지스터들 제 1 레지스터에 기록함으로써 DMA 전송이 개시된다. DMA 전송은 더 이상의 DMA를 수행하기 전에 종료될 수 있어야 하는 대기시간 주기를 갖는다. DMA 상태 미션은 SYSTEM 버스를 요구하여야 하는 작업이 있으며, SYSTEM 버스가 허용될 때, 전송을 수행하고, 그 이후에 SYSTEM 버스를 해제한다.

이와 달리, 위드는 출들 비트가 세트된 상태에서 두 개의 어드레스 레지스터 중 제 2의 레지스터로 기록될 수 있다. 이는 SYSTEM 버스를 요구할 것이며, 출들 비트가 클리어될 때까지 이를 보유할 것이다. 이러한 DMA 전송은 연속적인 다중 전송을 수행할 때 효과적이다. DSP(61) 프로그램은 SYSTEM 버스가 허용될 때를 결정

할 수 없기 때문에 단일 전송에 대해서는 일반적으로 효과적이지 않으며, 따라서 가능한 최대 대기 시간을 기다려야 한다. DSP(61) 메모리는 DSP의 내부 데이터 버퍼에서 액세스하며 호스트 어드레스 버퍼에서 모두 일반적으로 할 수 있다.

DSP(61)는 관련 DSP 메모리(76)를 갖는다. DSP 메모리(76)는 프로그램 RAM, 데이터 RAM, 레지스터/상수 테이블, 시연(sine) ROM(모두 도시되지 않음)을 포함한다. 일반적으로, DSP 메모리(76)는 시스템 메모리(45)의 어드레스 공간뿐만 아니라 DSP의 내부 어드레스 공간에서도 액세스 가능하다. DSP 프로그램 RAM은 512 개의 18-비트 워드이며, 이들 워드에서는 CPU(48)에 의해 액세스될 수 있으며, DSP(61)에 액세스는 프로그램 블록-전용이다. 프로그램 RAM은 DSP 내부 어드레스 공간에서 나타나지 않는다. 프로그램 RAM은 DSP(61)가 실행 중일 때 호스트 버스 액세스할 수 없다. 각 DSP 인스트럭션은 7-비트 연산코드 및 11-비트 어드레스 버킷을 갖는다. (순서 또는 순서/누산 동작을 제외하고) 모든 마이크로코딩된 인스트럭션은 185 나노초의 인스트럭션 사이클에서 종료된다. 모든 인스트럭션은 시스템 메모리(45) 내 레지스터 전송 또는 레지스터 대 레지스터 전송이며, 후자의 직접적인 전송은 허용되지 않는다. 따라서, 주어진 인스트럭션에 대해 상수가 요구될 경우, 이는 상수 테이블에서 사용할 수 없고, 소정의 데이터 RAM 분할에서 그 값에 할당되어야 한다. DSP(61)는 또한 조건부 인스트럭션 및 연산할 때 어드레스를 제공한다. 인스트럭션 코드의 비트 12가 세트될 경우, 인스트럭션은 시연의 캐러 배이트 또한 세트될 경우에만 실행된다. 인스트럭션 코드에서 비트 11이 세트될 경우, 인스트럭션 코드에서 9-비트 어드레스 버킷은 인스트럭션에 의해 동작되고 있는 어드레스 및 데이터 메모리를 제공하기 위해 인스트럭션 레지스터에서의 9-비트 길에 가산된다. 추가 2 비트는 그 값을 추가 비트 레지스터로 전달시킨 후 워드를 바이트씩 반 회전시키에 가산함으로써 프로그래밍된다.

DSP(61)는 데이터용 메모리와 레지스터 시연로 이동시키는 많은 이들 커맨드를 갖는다. 기산, 집산, 논리곱, 논리합, 캐러부 가산(adding with carry), MOP, 전술한 6A), DSP 메모리(76)로 하위급 전송, 그리고 액세서 코드에 하는 INTRUDE 커맨드를 포함하여 그 밖의 다른 여러가지 커맨드가 이용가능하다.

시연 ROM은 256 개의 16 비트 워드이며, 전체 시연 피치의 2의 보수 시연 값을 포함한다.

데이터 RAM은 512 개의 16-비트 워드이다.

데이터 DSP(61) 또는 호스트 CPU(48)의 제어하에 CPU(48) 및 DSP(61) 사이에 전송될 수 있다.

DMA 전송 매커니즘은 SYSTEM 버스의 버스 마스터가 되어, 시스템 메모리(45)를 액세스하는 DSP(61)에 제공한다. DSP(61)는 가장 높은 우선순위를 갖는 버스 마스터를 하나이며, 따라서 현재의 버스 마스터가 SYSTEM 버스의 버스를 요구할 때는 다른 임의의 버스 마스터에 의해 SYSTEM 버스를 가져받을 수 있다. SYSTEM 버스를 전송하기는 취학의 경우는 CPU(48)가 버스 마스터일 경우와 실행하며 그 이유는 0007H 또는 0036H 프로토콜은 SYSTEM 버스를 해제하는 데에 상당한 시간을 소비할 수 있기 때문이다. DMA 전송은 전송 한 바이트의 값이, 제 1 DMA 어드레스 레지스터에 기록함으로써 개시된다. 상태 정보 및 어드레스의 상위 부분의 전송은 제 2 DMA 어드레스 레지스터에 의해 기록되었으며, 마찬가지로 기록 데이터는 기록 전송의 상위 부분에서 DMA 데이터 레지스터를 여러 기록되었다. 전송이 개시될 때, DSP(61)는 SYSTEM 버스를 요구하며, SYSTEM 버스가 DSP(61)에 의해 제 1 전송을 수행할 때, DSP(61)는 SYSTEM 버스를 해제한다. 이 통칙의 통칙은 폴링(polling) 될 수 있거나, 프로그램에는 이 기능을 대가시간에 판독 데이터를 사용하고자 하는 전송을 개시하기 전에 결과하도록 선택할 수 있다.

두 번째 버스 획득 기법은 SYSTEM 버스를 요구하기 위해 두 개의 DMA 어드레스 레지스터 중 제 2의 레지스터에서 종도 버스를 사용하여 수행될 수 있다. 이는 DSP(61)가 다수의 전송을 연속적으로 수행하기를 원할 경우 더욱 효과적일 수 있는데, 그 이유는 SYSTEM 버스가 전송시에도 해제되지 않기 때문이다. 제 2 DMA 어드레스 레지스터에서의 종도 버트는, DSP(61)가 SYSTEM 버스를 해제하기 전에 종료되어야 한다. 이 매커니즘은 일반적으로 추종되지 않는다. 그 이유는 DSP(61)는 아무런 동작없이 상당한 시간동안 SYSTEM 버스에 대 한 제어를 갖고 있을 것이다. 이것은 전체적으로 제 2의 버스 대략적인 남비와 강제적으로 CD DMA 전송을 방해할 수 있기 때문에, 두 번째 기법을 사용할 경우, DSP(61)는 SYSTEM 버스를 획득하는 것을 걸출할 (단을 가지) 것이기 않으며, 따라서 제 2의 버스 인스트럭션 동안 기다려야 한다. DSP(61)가 SYSTEM 버스의 소유권을 획득하면, 버스 사이클을 수행하도록 진행할 수 있다. DSP(61)는 언어의 시연스의 판독 및 또는 기록 사이클을 수행할 수 있으며, 이들의 종로서 SYSTEM 버스의 재를 포기해야 한다.

데이터 전송은 CPU(48)의 제어하에 CPU(48)와 DSP(61) 사이에 또한 수행될 수 있다. DSP(61)의 모든 내부 메모리는 호스트 어드레스 공간으로 매핑된다. DSP(61)가 장치 모드에 있을 때, 호스트는 이들이 중심 시스템 메모리(45)에 있는 것처럼, 프로그램 메모리 회계에서 기록할 수 있다. 그러나, DSP(61)가 동작 중일 때, 프로그램 메모리는 호스트에 이용가능하지 않다. DSP(61) 데이터 메모리는 INTRUDE 매커니즘에 의해 한 번 이용가능하다. DSP(61) 데이터가 어떠한 방법으로도 전송될 때, DSP(61)가 INTRUDE 인스트럭션을 수행하고 있을 때, 데이터 전송은 데이터에서만 계속 실행하는 것으로 생각될 수 있다.

DSP 프로그램 RAM(76)으로의 CPU(48)의 전송은 DSP(61)가 동작하지 않을 때만 플러터(72)를 사용하여 수행될 수 있다. 마찬가지로, 플러터(72)는 DSP(61)가 실행되고 있는 동안에는 DSP 데이터 RAM을 액세스 할 수 없다. 요컨대, 플러터(72) 및 CPU(48)는 모두, DSP(61)가 INTRUDE 인스트럭션을 수행하고 있는 동안인 DSP 프로그램 RAM(72)을 변경시킬 수 있다.

DSP(61)는 플러터(72)로 하위급 시스템RAM에서 DSP 프로그램 RAM으로의 DSP 메모리 블록 이동을 수행하게 한다. DSP(61) 및 플러터(72)는 실질적으로 이용가능한 것보다 더 많은 프로그램 RAM을 DSP(61)에 효과적으로 제공하기 위해 협력한다.

DSP(61)는 또한 직접 오디오 디지털-아날로그 컨버터(DAC) 인터페이스를 갖는다. 직접 DAC 인터페이스는 DSP(61)로 하위급 동기 취학 (1's 또는 유사) DAC 둘다를 구동하도록 하며, CD 드라이브와 같은 동기 취학 데이터 소스로부터의 데이터를 입력하도록 한다. 인터페이스 타이밍은, 입력 장치가 부하되지 않을 경우 내부적으로 발생될 수 있지만, DAC 소스가 존재할 경우에는 데이터 타이밍을 결정하는 데 사용되어야 한다. 내부 오버샘플링은 이것을 가져와 출력 데이터가 순차에 출력되기 전에, DSP(61)로 하위급 DAC로 기록하는 것을 방지해 준다. 이는 두개의 DAC 레지스터 중 제 1 레지스터에 대한 기록에 의해 존재한다. 따라서, DAC 전송은 제 1 DAC 레지스터로의 기록, 제 2 DAC 레지스터로의 기록, 반복 입력값과 같은 형태를 취해야 한다. 이들은 (16 인스트럭션 미만으로) 연속적으로 수행되어야 한다. 다른 플로우의 길들은 존재하지 않으며, 이것이 발생될 경우, 미연의 출력 값은 다시 출력되어야 한다. DAC 값은 다음 배워워되어야. 오디오 코드가 샘플 주기에

다 적거나 동일한 평균 비율로 두루뭉개되어, 두 개의 샘플 주기까지 허기 위해 임시적으로 두트를 통과하는 것은 가능하다. 이는 매우 프로세서에 대해 유용하다.

DSP(61)는 액사스 인스트루먼트의 74181 장치와 호환성이 있는 연산 로직유닛(ALU)을 포함한다.

비디오 프로세서(39)는 또한 콤팩트 디스크 DNA 제이거(54)를 갖는다. 이 CO 제이거는 (1°S 돌을 위한) 단순한 동기 적절 인터페이스, CO ROM 블록 디코더, DNA 제이거와 같은 기능 블록을 포함한다. 이 제이거들은 적절 데이터 스트림으로 하여금 적절, 또는 처음으로 블록 디코더를 통과하여 시스템 메모리(45)로 전송되도록 한다. 이는, 내부 블록 디코더에 문제 혹은 적절 불능이 발생한 경우, 외부블록 디코더(4)가 사용될 수 있게 해준다. 전송 길어 가동기가 제로에 도달해서 전송이 완료되면 인터럽트가 발생될 수 있다.

플롭스 디스크 제이거 동기 적절 인터페이스는 본 기술 분야에 잘 알려진 플롭스 데이터 포맷을 지원한다. 플롭스 데이터 포맷은 블록, 워드 섹터, 라인, 데이터 라인을 갖는다. 워드 섹터는 블록의 하나의 턴에 의해 데이터를 추출하며, 데이터는 32-비트 데이터의 적절인 비트(NSB)와 반대로 정렬된다. 워드 섹터 라인의 첫 부분은 적절 데이터를 가리키며, 워드 섹터 라인의 일부는 수직 데이터를 가리킨다. 동기 적절 인터페이스는 또한 플롭스 블록 디코더 출력 정렬을 지원한다. 비트 순서는 바뀌며, 제 1 비트는 데이터의 제 1 비트와 반대로 정렬된다. 워드 섹터 포맷은 플롭스 데이터 포맷, 소니(Sony) 데이터 포맷, 또는 마티서타(Matsumita) 데이터 포맷일 수 있다.

CO 드라이브 제이거(54)는 또한 블록 디코더를 갖는다. 블록 디코더는 2352-비트당 색의 개수와 동기되고, 디스크 설명(descrbing)을 수행하며, 이러한 전송하기 위해 EDC(에러 검출 코드)를 측정한다. 이는 2048 데이터 바이트가 해당하며 전송되는 경우 큰 모드에서 동작하거나, 동기 제이거 블록 디코더(4)에 의해 2340 바이트가 전송되는 경우 작 모드에서 동작한다. 이는 제이거 및 제이거 장정 데이터로 하여금 광학 광검출기 한다. 제이거 사이징은 CO 드라이브 모드 1 및 CO/MA 모드 2 형태 1을 지원하기 위해 4 또는 12 바이트로 프로그램가능하다. 제이거 태깅은 제이거 4-비트 데이터에서 수행한다. 모드 2 형태는 작 모드에서 동작하고, 요구된 데이터로 전송이므로써 지킬 수 있다. 제이거 태깅은 적절 데이터가 판독되도록 하기 위한 검출의 제 1 섹터에서 수행한다. 바람직할 것이다. 같은 양의 레지스터로 프로그램해야 하며, 발터제이 전송이 수행될 경우, 제 1 섹터로 데이터의 태깅이 발생되지 않는다.

전환적으로, 통상적인 전송은 단 모드에서 수행되며, 여러개 검출할 때 장모드가 사용되어서, 오버레이된 스프레더에 이를 제공할 수 있다. 이러한 전송은 전송할 광 워드의 전체 수의 가중치를 제공함으로써 지된다. 이러한 전송은 다중 선다 전송이 존재한다. 이러한 선다 전송은 선다 전송을 제공한다. 동기 제이거의 일종의 형태를 취할 수 있다. 현재의 상태에 결정하기 위해 데이터를 통합하는 것이 가능하다. CO 데이터 제이거(54)는 또한 DNA 인터페이스를 갖는다. DNA 인터페이스는 반변에 2개의 16-비트 워드를 시스템 메모리(45)로 전송할 수 있다. 이는 내부 블록 디코더로부터의 출력 또는 동기 적절 인터페이스로부터의 출력을 취할 수 있다. 이는 시스템 메모리(45)를 통해 동기화될 출력은 이드레스 카운터를 갖는다. DNA 인터페이스는 출력 인터페이스와 제이거의 적절 전송을 제공한다. 카운터는 무제한이다. "포레버(forever)" 모드에서, DNA 이드레스 카운터는 32 값 범위에서 비제한적으로 결합한다. 이는 CO 데이터 제이거, 또는 실시간 및 풀-모션(full-motion) 비디오 일속 액션과 같은 데이터 조정에서 이용가능할 수 있다. CPU(40) 인터럽트: 매시간 발생되며, 이드레스 포인터는 비바 주위를 결합한다.

미한가지로, 본 발명에서, 텔레비전 수신기의 부품들로서 사용되는 셋 팀 장치에 지금까지 제공된 많은 특성은 본 명세서에서 지능 텔레비전 수신기로 지칭되는 것에 직접 합체될 수 있다. 이러한 지능 텔레비전 수신기 중 하나는 도 6에 도시되며, 여기서 참조 번호 10로 서브된다. 도 3 내지 도 5를 참조로 전송된 회로는, 본 명세서에서 가솔른 바와 같이, 수신기가 원격 제어 장치(20)에 응답하고, 이와 협력되도록 하기 위해, 모든 수신기(10)의 하우징 또는 개폐면(11)내에 합체될 수 있다. 이러한 회로는 이미 상세히 설명하였으므로, 이하 더 이상 반복하지 않기로 한다.

미한가지로, 본 발명에서, 이들 발명의 미션이 개연용 컴퓨터 시스템의 사용을 통해 확립될 수 있음이 고려된다. 이러한 개연용 컴퓨터 시스템을 한가지 도 7에 도시되어 있다.

취한 도 7 내지 도 9를 참조로 하면, 본 발명을 구현하는 개연용 컴퓨터시스템에 도시되어 있으며, 이는 일련번호 참조 번호 90으로 지시된다(도 7). 컴퓨터(90)는 관련 모니터(91), 키보드(92), 프린터 또는 플로터(printer)(94)를 구비할 수 있다. 모니터(91)는 시각 정보에 사용자에게 디스플레이하는 디스플레이에 장치로서 동작하며, 도 1 및 도 6에 도시된 텔레비전 수신기(10)의 CRT(12, 13)와 유사하다. 도 8에 도시된 바와 같이, 컴퓨터(90)는 전기적으로 전압이 공급되는 제1의 프로세서 및 저장 소자를 수신하고, 디지털 데이터를 프로세서이며, 저장하기 위한 태제되고, 결합된 볼륨을 한정하고 있는 세서(98)와 합쳐지는 제이(96)를 갖는다. 적어도, 소자의 이들 소자는 다중용 플레이나(100), 또는 세서(98)상에 장착되고, 위에서 설명된 것과, 플로팅 디스크 드라이브, 직접 액세스 저장 장치의 여러가지 형태, 부족 카드 또는 보조, 등등과 같은 것을 포함하는 컴퓨터(90)의 소자를 전기적으로 상호접속시키기 위한 수단을 제공하는 마더보드상에 장착된다.

세서(98)는 배이스 및 후부 패널(도 8)을 가지며, 마그네틱 또는 광 디스크를 위한 디스크 드라이브, 테이프 백업(backup) 드라이브 등과 같은 데이터 저장장치를 수신하기 위한 적어도 하나의 개방 베이(bay)를 제공한다. 도 8에서 형태에서, 앞부 베이(101)는 (3.5인치 드라이브와 같은) 제 1 사이즈의 주변장치 드라이브를 수신하도록 채택된다. 제2가지는 배에 대한 직접 액세스 저장 장치인 플로팅 디스크 드라이브를 삽입할 수 있는 것을 수신할 수 있고, 일반적으로 알려진 바와 같은 데이터를 수신, 저장, 전송하기 위해 디스크를 사용할 수 있으며, 앞부 베이(101)에 제공될 수 있다.

전술한 구조를 본 발명에 연결시키기 전에, 개연용 컴퓨터 시스템(90)의 일반적인 동작의 물약을 개괄적으로 이해 바람직하다. 도 9를 참조하면, 본 발명에 따른 시스템(90)과 같은 컴퓨터 시스템의 여러가지 지를 도시하는 개연용 컴퓨터 시스템의 블록도가 도시되어 있으며, 플레이나(100)에 장착된 소지 및 플레이나를 I/O 슬롯과 개연용 컴퓨터 시스템의 다른 하드웨어에 접속시키는 커넥션을 포함한다. 시스템 프로세서(102)가 플레이나에 접속된다. 입력의 적절한 마이크로프로세서가 CPU(102)로 사용될 수 있지만, 적절한 마이크로프로세서 중 하나는 INTEL에 의해 판매되는 80386이다. CPU(102)는 고속의 CPU 로컬 버스(104)에 의해, 버스 인터페이스 제어 유닛(105), 본 명세서에서 단일 라인 메모리 모듈(Single Inline Memory Module, SIMM)로 나타낸 휘발성 랜덤 액세스 메모리(RAM)(106), CPU(102)에 대한 기초적인 입/출력 동작을 위한 연산유닛과 지장되는 비터스 ROM에 접속된다. BIOS ROM(108)은 I/O 장치 및 마이크로프로세서(102)의 오버레이된 시스템 인터페이스에 사용되는 BIOS를 포함한다. ROM(108)에 저장되는 인스트럭션은 8105의 실행시간을 감소시

키기 위해 RAM(106)으로 복사할 수 있다.

본 발명이 이하 특별한 예 9의 시스템 블록도를 참조로 하여 설명되지만, 상세한 설명의 처음부분에서, 본 발명에 따른 장치 및 방법은 콜레버나 브드의 다른 하드웨어 구성과 함께 사용될 수 있는 것을 고려하는 것은 당연하다. 예를 들어, 시스템 프로세서는 인텔 80376 또는 80486 마이크로프로세서일 수 있다.

도 9를 참조하면, (데이터, 어드레스 및 제어 소자를 포함하는) CPU 로컬 버스(104)는 또한 마이크로프로세서(102)의 접속을 위해 수직 코프로세서(109) 및 SCSI (Small Computer Systems Interface, 소형 컴퓨터 시스템 인터페이스)제어기(110)를 제공한다. 컴퓨터 설계 및 동작의 본야에 통상의 지식들 가진 자에게 잘 알려진 바와 같이, SCSI 제어기(110)는 ROM(111), RAM(112), 도면에서 정확히 지시되는 I/O 접속에 의해 유선화되는 것과 같은 여러가지 터전의 처리한 외부 장치에 접속되거나, 접속가능하다. SCSI 제어기(110)는 그 도 및 콜레버 디스크 드라이브로 잘 알려진 코덱제기나, 코덱제기나, 제각각에 대한 전자지 지점 장치, 판독 장치, 데이터, 그 밖의 다른 저장 장치와 같은 저장 메모리 장치에 제어되는 저장 제어기에 접속된다.

버스 인터페이스 제어기(81C)(105)는 CPU 로컬 버스(104)에 I/O 버스(114)를 결합시킨다. 버스(114)에 연결된, MIC(105)는 ISAIndustry Standard Architecture, 산업 표준 구조), 마이크로 채널 버스(Micro Channel), EISA, PCI, 또는 I/O 장치 또는 메모리(도시되지 않음)에 대한 접속될 수 있는 아메타 카드(115)를 수신하기 위한 다수의 I/O 슬롯을 갖는 그 밖의 버스과 같은 선택에 의한 기능 버스에 결합된다. I/O 버스(114)는 어드레스, 데이터, 제어 소자를 포함한다.(116로 지시되는) 그래픽 정보를 저장하고, (119로 지시되는) 이미지 정보를 저장하기 위한 비디오 RAM(VRAM)과 연결된 비디오 신호 처리기(116)와 같은 여러가지 I/O 소자가 I/O 버스(114)를 따라 결합된다. 프로세서(116)와 상호교환되는 비디오 신호는 디지털로 아날로그 컨버터(A/D)(120)를 통해 보내지거나 또는 그 밖의 다른 다른 디스플레이 장치로 입력될 수 있다. 비디오 레코더/플레이어, 카메라, 음성 회화할 수 있는 자판 이미지 입력/출력되는 한 디스플레이에서 얻은 것과 VSP(116)가 직접적으로 접속된다. VSP는 비디오 프로세서(39) 및 도 3 내지 도 5를 참조로 한 순환한 관련 회로의 형태를 취할 수 있으며, 여기서 CPU(102)는 전송한 CPU(48)와 유사한 비디오 제어로서 동작할 수 있다.

I/O 버스(114)는 DSP(121)에 의해 신호를 프로세싱하기 위한 소프트웨어 인스트럭션 및 이러한 프로세싱에 포함된 데이터들 저장하는 데 유한한 관련 인스트럭션 RAM(122) 및 데이터 RAM(124)을 갖는 디지털 신호 처리기(DSP)에 대한 결합된다. DSP(121)는 오디오 제어기(125)의 제품으로 얻은 오디오 입력 및 출력을 프로세싱하며, 아날로그 인터페이스 제어기(126)의 제품을 통해 다른 신호를 처리한다.

마지막으로, I/O 버스(114)는 관련 전기적으로 소가가능한 프로그래머블 한쪽 전용 메모리(EEPROM)(128)를 갖는 입력/출력 제어기(128)와 결합되며, 이로 인해 입력 및 출력은 플로피 디스크 드라이브, 프린터(84), 키보드(92), 장치(20)와 같은 원격 개체들을 포함하는 마우스 또는 포인팅 장치, 적외선 포인터를 포함하는 종래의 주변장치와 상호교환된다. 이로부터 설명된 형태에서 보인것 같지는 않고 유한한 전도도(131)에 의해 종래의 시스템에 접속되는 마우스(130)의 형태를 취한다.

모든 경우에서, 이들 발명을 실시하는 개인용 컴퓨터 시스템은 원격 제어 장치를 가질 것이다. 이러한 시스템에는, 원격 제어(132)는 연립한 비디오 시스템에 장치로서만, 다소 발진된 거리에서 사용가능한 원격 제어 장치에 의해 작동된다. 이 떨어진 거리는, 이하의 설명으로부터 더 명백해지는 바와 같이, 인치(inches)의 스케일과 같이 매우 작을 수도 있으며, 피트(feet), 미터, 마드 또는 그 이상의 스케일과 같이 비교적 클 수도 있다.

전술한 바와 같이, 원격 제어 장치는 3 축 장치 또는, 몇몇 경우에서, 2 축 장치 일 수 있다. 이하의 설명으로부터 더 명백해지는 바와 같이, 이 두 개의 장치는 구별되며, 상호교환이 불가능하다. 본 명세서에서 사용된 관련 용어인 "3 축"에서, 사용자나 관련 비디오 디스플레이 장치상에 디스플레이되는 시각 이미지의 변경을 지시하는데 효과적일 수 있는 제어 신호를 발생시키기 위해 3 차원에서 제어 엘리먼트를 조작할 수 있다. "2 축" 장치는 2 차원에서만 작동할 수 있다.

3 축 장치는 "롤러 섀"으로 설명되었던 유형의 동작을 허용한다. 즉, 제어 엘리먼트의 조작은 커서와 같은 원격 디스플레이 엘리먼트의 이동들, 디스플레이된 시각 이미지의 광도를 통해 화면에서 측면으로, 위에서 아래로 직접 지시할 수 있으며, 그 후 디스플레이를 특성화 도 선택하기 위해 사용된다. 예를 들어, 사이드간의 이동은 한쪽 측면 또는 다른 측면에 대한 열지 손가락 압력(thumb pressure)과 연관되고, 조작가능한 범위까지 가나 조작가능한 방향은 입력과 상호교환될 수 있다. 그 후, 선택한 제어 엘리먼트에 대하여 아래 방향을 누르면, 제 3 축을 따라 열지 손가락(thumb) 누름에 결합된다. 종래의 예는 1991년 11 월 12일에 하여튼 가렛(Garrett)의 미국 특허 제 5,065,146 호에 개시되어 있다.

이와 달리, 두 개의 축 장치는, 전형적으로 색연에 대한 분리 제어 엘리먼트를 제공한다. 이는 마우스로 알려진 것과 같은 종래의 디스플레이 포인팅 장치와, 텔레비전 수신기, 비디오 카세트 레코더, 오디오 플레이어, 콤팩트 디스크 플레이어, 비디오 디스크 플레이어와 등과 같은 사용자 전자 장치에 전형적으로 설치된 종래의 원격 제어 장치에서 발견될 수 있다. 이들 예에서, 하나의 제어 엘리먼트(예 다른 또는 원격 측면 조작기(rockers) 스위치의 경우에서 롤링 볼(rolling ball) 또는 종래의 원격 제어의 경우에서 스텝핑 (stepping) 스위치)은 디스플레이된 비디오 이미지를 가로질러 움직일 수 있는 선택 디스플레이 엘리먼트의 독립적인 이동일 수 있으며, 그 후 제 2 제어 엘리먼트(마우스의 경우, 버튼이며, 종래의 원격 제어의 경우 푸시 스위치)는 디스플레이를 특성의 선택을 위해 작동한다.

원격 제어 장치의 두 가지 타입은 무엇보다도 상호교환가능하다.

원격 제어 장치의 두 가지 유형의 각각은 사람에게 의해 원격 엘리먼트의 조작으로 사전설정한 방식으로 구축된 커맨드 신호를 전송할 수 있는 것과 같은 본발명에 의해 고려된다. 각각은, 사용자가 볼 수 없는 루프에서, 또는 두산 전자제어기 밖의 명령위에서 또는 자판에서 포함되는 여러가지 방식으로 사용자를 위한 직접 연결되는 주축, 입력 및/또는 출력의 사용에 의해 디스플레이 제어기에 결합될 수 있다. 각각은, 퍼스널 컴퓨터 포인팅 장치에서의 통상적인 경우처럼, 블록식 전도체에 의해 결합될 수 있다.

사용자에게 의해 작동 가능한 제어 엘리먼트는 여러가지 형태로 고려된다. 하나는, 전송한 바와 같이, "회공"으로 연결될 수 있으며, 사용자의 열지 손가락으로 사용하기 위해 곧바로 서 있는 것과 가이 떨어진 것의 형태를 취할 수 있다. 다른 하나는 비교적 자유롭게 중앙 포인팅 부근의 피트에 장착되며, 조작과 같은 원격제어의 바이스에 의해 중간 위치에서 전함적으로 유지되는 전함적으로 동근 구멍을 갖는 디스크 평면이며, 플린 또는 같은 집사형(dished)의 부재인 "윌볼 플레이트(wobble plate)" 일 수 있으며. 이는 적어도 4 개의 선택된

병행증 임의의 하나에서 사용자의 임의 손가락에 의해 눌러질 수 있다. 그러나, 다른 것은 연쇄형인 퍼스널 컴퓨터 시스템 어쿠스와 다소 유사한 특색을 띠 수 있으며, 여기서 신호가 마운트의 불의 회전을 가리키며 발생하는 것을 불가능하게 하는 방식으로 자유롭게 회전가능한 열려있는 또는 닫혀 제공된다. 자물쇠이다. 또다른 것은, 임의 또는 "에어(air)" 마운트일 수 있다. 이러한 장치는 전형적으로, 중간에서 마우스의 이동중 지시하는 신호를 발생시킬 수 있는 관련 블록들 및 센서를 갖는다.

본 발명은, (오피세리얼 시스템 및 애플리케이션에서 프로그램을 포함하는) 제어 프로그램에 시스템 ROM(45) 또는 플래시 ROM(49)에 저장되며, 디스플레이에 제어기에서 실행될 것을 요구한다. 본 발명에 의해, 이러한 제어 프로그램은 이하 설명될 콤팩트한 프로그래밍 언어를 적절히 사용한다. 이하 설명될 언어 및 프로그램은 예로써 비하며 판매자의 중요한 요소를 차지하는 사용자 제품과 제공되어야 할 배포자의 장을 제한하는데 특히 유용하다. 보다, 보다 덜 콤팩트한 프로그래밍 언어 및 이에 따른 제어 프로그램이, (고정된 디스크 직접 액세스 저장 장치의 하드파일(hardfile)의 포함을 포함하는 것까지의) 부가적인 메모리의 형상과 비례하여 발생될 수 있을 경우 유용할 수 있음을 주장해야 한다.

본 명세서에 개시된 컴퓨터 시스템은 "개방(open)", 즉 현재 정의되지 않은 미래의 애플리케이션을 실행 가능시킬 시스템이다. 시스템은 애플리케이션에 대한 제한한 장치를 갖는다. 따라서, 시스템상에서 사용되는 애플리케이션의 사이즈를 최소화하여 작은 양으로 저장될 수 있는 것이 중요하다.

두 작업은 애플리케이션 소프트웨어의 사이즈를 더욱 늘리거나 할 수 있다. 하나는 (본 명세서에서 비로 실행되는) 사용자 인터페이스이다. 이러한 소프트웨어 부분은, 디스플레이, 스피커, 키보드, 또는 마우스와 같이, 사용자의 상호작용하는 하드웨어를 구동시킨다. 다른 하나는 다른 시스템으로부터의 자원의 장치 및 정보로부터의 정보로의 시스템 액세스인 (본 명세서에서 더 잘 식별되는) 외부 인터페이스이다. 이러한 소프트웨어 부분은 다른 다른 드라이버 또는 모듈과 같은 하드웨어를 구동시킨다.

애플리케이션 프로그램 데이터의 사이즈를 감소시키는 제 1 단계는 사용자 인터페이스 및 외부 인터페이스에 대한 소프트웨어 애플리케이션으로부터 제거하는 것이다. 본 발명은, 이들 두 작업에 대한 소프트웨어가 애플리케이션이 아닌 시스템내에 구축되기를 기대한다. 도 10을 참조하면, 제 1 박스 사용자 인터페이스(UI)에 들어있는(디스플레이, 키보드, 등) 제 1 도면의 상부에 도시된다. 제 2 박스 UI 엔진은 사용자 인터페이스를 렌더링하는 시스템 ROM 내의 양구적인 소프트웨어이다. 예를 들면, UI 엔진(제 2 박스)은 (제 3 박스에서의) 애플리케이션의 요구에 따라 스캔된 제 1 박스 파일)을 렌더링 정보를 디스플레이할 수 있다. 사용자, 키보드와 같은, 그 밖의 다른 시스템 입력/출력 및 다른 엔진에 의해 생성될 수 있다. UI 엔진은 UI 렌더링 및 애플리케이션과 함께 상호작용할 데이터를 형성하도록 주시해야 한다. 본 발명에 의해 형성되는 UI와, 하드웨어 및 시스템은 적게 만듦으로써, 더 작은 시스템 ROM을 필요로 하게 하는 것이다. 제 3 박스 도면의 중간에 있는 호선 박스는 애플리케이션 프로그램 데이터 저장 장치를 나타낸다. 애플리케이션은 (만약가능하면, 가능가능한) 시스템 RAM에 저장되는데, 애플리케이션이 부가되며, 제거되거나, 변경될 수 있게 된다. 본 발명에 의해 달성되는 하나의 특성은 애플리케이션을 만듦으로써, 더 많은 애플리케이션이 주어진 저장 공간에 실제로 저장될 수 있는 것이다. 도 10에서, 애플리케이션은 하드웨어로부터 갈라진다. 그 이유는 사용자 인터페이스 및 애플리케이션이 애플리케이션의 외부에서 처리되기 때문이다. 제 4 박스 UI 루틴은, 시스템 ROM에서 외부 소프트웨어이며, 이들 루틴은 외부 인터페이스 하드웨어를 처리한다. 예를 들면, UI 루틴은 애플리케이션의 요구에 따라 모듈상에서 전화 번호를 다이얼링할 수 있다. (몇몇 UI 루틴은 ROM 대신에 RAM내에 있으며, 따라서 부가적인 하드웨어 지령이 필요로 부가될 수 있다.) 제 5 박스 외부 인터페이스(EI) 하드웨어(디스크 드라이브, 모뎀, 등)가 도면의 하부에 도시된다.

이와 같은 구성을 다른 컴퓨터 시스템에서도 찾을 수 있다. 예를 들면, DOS 오피세리얼 시스템은 마이크로컴퓨터에 대해 파일(file) 입력/출력 기능을 전역적으로(global) 만듦으로써, 이들은 더 루틴이다. 이 때문에 윈도우 환경은 모든 애플리케이션에 대한 공통 밑을 제공한다. 그러나, 이들 시스템의 주요 목적은 공간을 절약하는 것이 아니라, 애플리케이션을 표층에 일치시키도록 하는 것이다.

본 발명은 "레벨"에 기초한 사용자 인터페이스를 제공한다. 주어진 레벨에서, 사용자는 정보를 보며, 선택할 수 있다. 이 선택은 현재의 레벨 이하의 새로운 레벨을 생성하도록 유발할 수 있으며, 또는 이 정보는 현재의 레벨에 파괴되도록 하여, 이전의 레벨로 돌아가게 할 수 있다.

배열화된 실시예에서, 사용자 인터페이스에서의 각 레벨은 스크린상에 그려진 페이지 인덱스 키보드와 유사한 그래픽 및 텍스트 디스플레이에 의해 나타난다. 보다 명확적(“페이지 키드”)은 도 12에 도시된 바와 같이, 스크린상에 커스커가 된다. 도시는 바와 같이, 사용자들은 현재 레벨에 있다. 레벨 2에서 이들은 도 10, 11, 12에 의해 도시되는 시퀀스와 관련된다. 도 10으로부터, 현재레벨 방송과 같은 비디오/오디오 스토릴 스토로로 수신된 바와 같은 풀 모션 비디오 이미지의 디스플레이에서, 사용자는, 입력 제어 장치(20)상에 제공된 선택 기능을 작동 하도록하여, 비디오 스토릴상에 중첩되게 제 1 레벨의 메뉴를 나타내게 할 수 있다. 따라서, 사용자, 현재 메뉴에 대한 이미지 1과 같은, 지시된 이미지상에 커서 또는 포인터가 위치되도록 작동할 수 있으며, 또한 현재 제어 장치(20)의 선택 기능을 작동시킬 수 있다. 그 결과, 사용자 인터페이스는 (도 12에 도시된 바와 같이, 다음을 포함, 전체 2로 생성되도록 동등한 것이다. 비디오/오디오 스토릴 이미지)으로서 바뀌는 이미지의 팔드내에 커서/포인터를 위치시키고, 앞면 "정보 하위 메뉴"의 커서를 위치시켜서 메뉴 레벨 1로 지움에 따라이므로 선택 가능 또는 다른 이벤트를 동작시키고, 현재 제어의 선택 메뉴를 동작시키므로서 실행될 수 있다.

이는 사용자 인터페이스의 단순한 예이며, 전형적인 상황은 좀 더 복잡하다. 예를 들면, 몇몇 메뉴 키드는 정보만을 제공하며, 정보를 본 후 이전의 레벨로 빠져나가는 것을 제외하고는 영역의 동작을 허용하지 않는다. 그 밖의 다른 메뉴키드는 이미지형의 조합의 선택을 허용한다. 사용자 인터페이스는 이들 및 그 밖의 다른 유형의 메뉴를 지원한다. 원래의 메뉴는 (도 12에서 도시된 키드의 하부 오른쪽 구역에서) "페이지 넘길(turn the page)"에 의해 지시되는 바와 같이) 하나 이상의 페이지를 가지며, 페이지를 넘기는 것은 다른 레벨로의 이동을 의미한다. 등이다.

본 발명에 따르면, 레벨에 기초한 UI 엔진에서, 각 레벨은 메뉴 객체 또는 블록으로 객체이다. 이들 객체의 두 가지 유형은 바람직한 실시예에서 "카드"로 명명된다.

1. 메뉴 키드"는 UI 레벨을 실행한다. 예를 들면, 도 12의 두 개의 "페이지의 퍼스" 각각은 메뉴 키드이다.
2. "플로우 키드"는 소정의 프로그래밍 언어로 소정의 루틴을 구현한다. 이 카드의 유형은 UI 레벨로서 디스플레이된다.



플레이 스크린상에 나타나지 않으며, 따라서 다른 사용자에게 보이지 않는다. 메뉴 카드가 사용자에게 동작의 리스트를 제공하는 반면에, 플로우 카드는 버튼, 루프, 등에 의해 결정된 "제어의 흐름"으로 동작의 리스트를 표현해낸다.

이들 카드 각각은 다른 유형의 카드를 호출(launch)할 수 있다. 메뉴는 사용자 선택에 따라 또다른 메뉴 또는 플로우를 호출할 수 있다. 플로우는 또다른 플로우 또는 메뉴를 호출할 수 있다. 또한, 카드 타입 각각은, 외부 인터페이스 하위행어를 사용할 필요가 있을 때, 더 후반을 불러올 수 있다. 각각 카드는 또다른 UI 엔진 예플리케이션을 유발할 수 있으며, 이 언어는 레벨의 시퀀스가 인터럽트되지 않기 때문에 끊이지 않는다.

이들 포인트를 명시하기 위해, 언어의 바람직한 실시예로부터 하나의 예를 고려하기로 한다. 도 11은 샘플 예플리케이션의 개시를 도식한다.

언어에서 각 라인은 두 개의 부분으로 구성된다.

1. "묘사(description)", 원으로 둘러싸인 A 또는 "at" 서블("W")자의 텍스트.

2. "액션(action)", 원으로 둘러싸인 A("B")로 시작되는 텍스트.

각 카드는 "레벨 1 B 카드 1 메뉴"와 같은 타이틀 라인으로 시작된다. 이 라인의 묘사 부분은 카드의 타이틀이며, 액션은 카드의 라벨(label)이다. 각 카드는 "B"만을 포함하는 라인에서 종료한다. 따라서, 세 개의 카드는 도 12의 예에서 도식한다.

예플리케이션은 카드 1을 디스플레이하으로써 시작한다. 카드의 타이틀은 "레벨 1"이며, 선택가능한 의미들은 "선택 A" 및 "선택 B"이다. "선택 A"가 선택된 경우, 이는 "선택 A" 라인에서의 액션이기 때문에, 카드 2를 생성한다. 카드 2는 상태 "i=1"이 참이기 때문에, 즉시 카드를 디스플레이하는 줄로써 카드를 이다.

도 12는 세 개의 카드를 도식한다. 카드 2는 사용자에게 보이지 않는 플로우 카드이다. 카드 1과 카드 3만 이 디스플레이된다.

두 개의 카드 유형이 유지하지만, 중요한 차이가 있다. 여하의 표는 메뉴와 플로우간의 대칭을 나타낸다.

### [표 3]

메뉴	플로우
메뉴 카드는 사용자에게 보여질 수 있다.	플로우 카드는 사용자에게 보여질 수 없다.
사용자는 묘사를 찾으며, 액션을 선택한다.	시스템은 묘사를 찾으며, 액션을 선택한다.
라인이 "B"를 갖지 않을 경우, 전체 라인은 묘사로서 해석되며, 액션은 없다. 이는 묘사를 가져져 않는 액션은 메뉴에서 무의미하기 때문이다.	라인이 "B"를 갖지 않을 경우, 전체 라인은 액션으로서 취해지며, 묘사는 없다. 이는 액션을 갖지 않는 묘사는 플로우에서 무의미하기 때문이다.
묘사는 텍스트가 스크린상에서 어떻게 나타나는지, 즉 위치, 칼라, 등을 결정한다.	묘사는 버튼, 루프, 등을 갖는 프로그래밍 언어에서 제어의 흐름을 결정한다.

변수 및 포인 스텝과 같은 지원을 할당할 때, 레벨을 갖는 각 지원을 지칭하는 것은 유용하다. 지원은, 레벨이 파괴될 때, 자동적으로 해방된다. 예를 들면, 변수가 그 언어에서 생겨날 때, 레벨을 할당한다. 변수는 모든 레벨에 대해 글로벌이며, 즉 카드는 이를 변수에 놓으므로써 다른 카드로 상반을 전송할 수 있다. 그러나, 변수는 UI 엔진 내부의 레벨 이하로 갈때, 파괴된다. 다시 말하면, 변수가 생겨난 카드가 파괴될 때, 변수는 이와 함께 파괴된다. 변수는, 레벨이 파괴될때, "범주를 벗어난다". 이는 그 언어가 카드로 할당될 수 있는 모든 지원을 어떻게 조종하는지이다.

본 발명은 세 가지 문제점에 대한 해결책을 제공한다. 첫 째, 예플리케이션의 사이저는 현재까지 감소된다. 샘플 예플리케이션에서 엔진의 필수요소로 스트리밍되는 도 11에서의 예로부터 관찰하기로 한다. 예플리케이션의 내용의 대부분은 프로그래밍이 아니라, 텍스트이다. 텍스트는, 표준 입력 기법들 사용에 의하여 원래의 사이저의 변수에 압축될 수 있다. 프로그래밍의 사이저는 편집에 의해 감소될 수 있으며, 그러나, 이는, 텍스트에 사용된 압축 알고리즘이 프로그래밍을 압축하는데 또한 채택될 경우, 필요가 없을 것이다. 결과 예플리케이션은 압축된 텍스트의 사이저인 이론적인 최소 사이저에 접근한다. 다음에, UI 엔진의 사이저는 감소된다. 메뉴 카드 및 플로우 카드가 식별 선택(syntax)를 기점으로 관찰하기로 한다. 카드의 두 유형은 묘사 및 액션을 갖는 라인으로 구성된다. 메뉴가 수행할 수 있는 액션은, 플로우가 수행할 수 있는 액션과 동일하다. (하나의 예외는, 이들 액션이 메뉴에서 무의미할 때, 플로우가 플로우에서의 주어진 행을 실행하는 액션을 허용하는 것이다) 변수 해 결 및 다른 파싱(parsing) 동작은 카드의 두 유형에서 동일하다. 따라서, UI 엔진에서의 동일 소프트웨어는 메뉴 카드 및 플로우 카드 둘다에서 프로세싱한다. 마지막으로, 언어를 실행하는 UI 엔진은 메뉴 레벨에 기초한 임의의 오퍼레이팅 환경으로 이동할 수 있다. 이는, 언어가 레벨의 재제에 대한 사용자 입력 및 출력을

재현하기 때문이다. 동일 애플리케이션은 여러가지 상이한 환경에서 동작할 수 있다.

메뉴는 다양한 객체의 “메뉴” 유형으로 공통적으로 수행한다. 예를 들면, 마이크로소프트 윈도우 소프트웨어 개발 키트(Microsoft Windows Software Development Kit)는 윈도우 메뉴의 레퍼를 구성하는 “대화 박스 편집기(Dialog Box Editor)”를 포함한다. 각 레퍼에서의 객체는 다른 하단을 생성하는 메뉴와 유사한, 다른 레퍼에서의 객체를 생성할 수 있다.

또한, 프로그래밍 언어는 객체의 “플로우” 유형을 통상적으로 사용한다. 예를 들면, C++ 언어에서의 객체는, 하나의 플로우가 또다른 플로우를 생성하는 것과 유사하게, 다른 객체의 인스턴스를 생성할 수 있다.

본 명세서에서 기술된 프로그래밍 언어의 독창성은 단말의 통합 언어에서의 객체의 두 유형을 혼합하는 것이다.

본 명세서에서 이 코멘트는 기술된 시스템에 대해 객체와 메뉴 구성 및 디스플레이에 능력의 범위를 줄여가 보면, 전술한 커맨드 프세서 회로는 비디오 이미지 위에 디스플레이하면 커서 이미지를 메뉴 아이템으로 사용지가 이동할 수 있게 한다. 커서 이미지에 의해 중첩된 메뉴 아이템을 실행하기 위해 선택할 수 있도록 하므로 원격 제어 장치(20)의 조작에 응답한다. 또한, 소량의 파스날 컴퓨터 시스템 소프트웨어의 “드래그(drag)” 및 “드롭(drop)” 기능과 유사한 방식으로, 커맨드 프세서 회로는 사용지가, 메뉴 아이템으로 커서 이미지를 이동하고, 커서 이미지에 의해 중첩된 메뉴 아이템을 이동시키기 위해 선택하며, 영상 디스플레이 장치에 의해 디스플레이하면 시각 이미지를 가로질러 선택된 메뉴 아이템을 이동시키고 함께 하드로로 상기 한계 제어 장치의 조작에 응답한다. 디스플레이에 필드 부분의 상이한 특성을 사용지가 구별하는 것을 돕기 위해, 커서 이미지 디스플레이는 입력 장치의 조작이 디스플레이하면 커서는 하에금 디스플레이하면 시각 이미지의 상이한 영역으로 이동하도록 한다. 디스플레이의 소량의 필드 위를 때, 커서를 큰 크게 만들어서 디스플레이하면 커서의 영상 특성을 변화시킬 수 있다.

도 13 내지 도 15에 도시된 바와 같이, 디스플레이에 재가하는 라이브 비디오 이미지의 일부면 위에, 사용자가 시각 이미지와 또다른 변경을 선택할 수 있는 메뉴 디스플레이를 디스플레이함으로써, 디스플레이하면 시각 이미지를 변경한다. 따라서, 도 13에서, 이동가능한 필드의 대부분은 (중첩된 메뉴 및 정보 텍스트와 의해) 도 14 내지 도 15에서 부분적으로 마우스 날개 지도와 이미지인 비디오 스트림 이미지에 의해 중첩된다. 나머지 부분은 디스플레이하면 메뉴에 의해 중첩된다. 도 14에서와 같이, 제공된 메뉴는 곧 다운(pull down) 디스플레이를 포함할 수 있으며, 여기서, 시각 이미지의 다른 가능한 변경 및/또는 액세스가능한 정보 디스플레이이다. 더 일정한 필드 또는 중첩된 윈도우 또는 캐스케이딩된 윈도우로서 디스플레이된다. 아이템 4 “비지”의 줄은, 소량의 액세스가능한 정보 선택은, 바람직하게 시스템에 합체된 모델과 같은 맥 채널 통신을 통해 왕사의 하고, 같은 왕적 서비스에 대한 액세스가능한 정보이다. 그 밖의 다른 것, 아이템 1 “날개”와 같은 것은 직접 날개 날개들과 같은 데이터 서비스로부터 이동가능한 정보를 액세스할 것이다. 또다른 것, 아이템 5 “TV 안테나”는 서명을 위한 프로토콜의 선택책으로 이질 것이다.

디스플레이에 재가하는 비디오 스트림 이미지를 이동가능한 필드의 작은 부분으로서 디스플레이함으로써 디스플레이하면 시각 이미지를 또한 변경시킬 수 있다. 이러한 디스플레이에서의 액세스는 도 16 내지 도 18에 서술한 것에 도시된다. 도 16의 오른쪽 부분에서 지시된 바와 같이(여기서, 메뉴 선택 알리먼트는 비디오 스트림 이미지 위에 중첩된 상태로 디스플레이된다.), 메뉴 디스플레이는 중개의 텔레비전 수신기 또는 비디오 카세트 레코더/플레이어에서 할계 제어 기능으로서 제공된 기능 제어를 통제할 수 있다. 왕적 제어 기능의 선택은 프로그래밍 선택 시퀀스 사이에서의 내비게이션(navigation)을 위해 원격 제어 기능에서 발견되는 “채널 일” 또는 “채널 디콘”의 의미인 표현과 같은 구명한 아이콘의 사용을 가능하게 한다. 그러나, “리스트” 또는 “메뉴”를 선택함으로써, 그 밖의 다른 서비스가 액세스할 수 있다. 도 16의 스크린으로부터, “메뉴”를 선택하면, 사용자에 게 도 17의 스크린이 디스플레이될 것이며, 여기서 비디오 스트림 이미지는, 소위 거의 “픽처 인 픽처”인 것처럼, 이동가능한 스크린 영역의 작은 부분(오른쪽 상부 코너)에 디스플레이되며, 모든 필드의 나머지 부분은 이동가능한 선택의 리스트(listing)에 의해 점유된다. 원하는 사항 옵션의 리스트는, 기능 “리스트”를 선택하여 현재와 시퀀스 신호 스트림을 부가하고, 다음에 점진적으로 그 리스트에 부가된 다른 선택 사항들 (선택함으로써, 설명할 수 있다. 시퀀스 채널 또는 신호 소스가 이와 같이 하나의 리스트로 구축된다. 리스트는 “나중에” 발견되는 줄이하는 프로그램에 대한 “F1 Night” 또는 특정한 이벤트를 위하여, 이벤트를 위해 선택되는 프로그램에 대한 “Kids”와 같이) 열거되며, 시스템내에 저장될 수 있다. 그 후, 이전에 시청되고 구축된 리스트는 시퀀스 선택된 프로그램의 범위 내에서 “채널 서핑(surfing)” 중계를 위해 재호출(recall)할 수 있다. 리스트의 생성이 완료되면, “종료” 기능이 선택되어 그 프로세스를 종료하게 한다.

또한 및 명세서에서, 본 발명의 바람직한 실시예를 제시함으로써, 특정 용어가 사용되었지만, 이에 의해 주어진 설명은 일반적이며, 기술적인 의미에서의 용어들을 사용하고자 어떤 제한할 목적은 아니다.

#### 발명의 효과

본 발명은 획득된 시각 이미지를 디스플레이하는 시스템들 중에 액세스되는 서비스 또는 기능을 선택하는데 있어서, 텔레비전 공간, 또는 영역의 장소에서 발견되는 유사한 디스플레이에서 이동가능한 사용자와 프로그램된 메뉴는 효과를 갖는다.

#### (57) 청구의 범위

##### 청구항 1

비디오 디스플레이 시스템(a video display system)에 있어서, 중앙 처리 유닛(CPU)과, 제 1, 제 2 및 제 3 채널로 각각 비디오 신호를 각기 발생시키기 위한 적어도 제 1, 제 2 및 제 3 비디오 소스와, 상기 제 1, 제 2 및 제 3 비디오 소스에 접속되고, 제 1, 제 2 및 제 3 독립적 채널로 비디오 신호를 갖는 채널로 그 멀티플렉서(multiplexer) - 상기 제 3 독립적 채널로 비디오 신호를 상기 제 2 비디오 소스에 접속되고, 상기 채널로 그 멀티플렉서는 상기 CPU의 제어 하에 동작하며, 상기 제 1, 제 2 및 제 3 채널로 그 각각 비디오 신호를 수신하고, (1) 상기 제 1, 제 2 또는 제 3 채널로 그 각각 비디오 신호 중 어느 한 신호를 상기 제 1 채널로 그 출력으로 공급하며, 이와 독립적으로, 동시에 (2) 상기 제 1, 제 2 또는 제 3 채널로 그 각각 비디오 신호 중 어느 한 신호를 상기 제 2 채널로 그 출력으로 공급하며, 이와 독립적으로 동시에 (3) 상기 제 1, 제 2 또는 제 3 채널로 그 각각 비디오 신호 중 어느 한 신호를 상기 제 3 채널로 그 비디오

출력으로 공급함 -와, 상기 이미지를 사용자에게 디스플레이하기 위한 비디오 디스플레이 장치와 상기 CPU와, 상기 제 1 및 제 2 아날로그 비디오 출력과, 상기 비디오 디스플레이 장치에 동작가능하게 접속되어, 상기 멀티플렉서로부터 상기 제 1 및 제 2 아날로그 비디오 출력 신호를 수신하고, 소정의 출력 아날로그 복합 비디오 신호(an output analog composite video signal)를 생성하는 비디오 프로세서 - 상기 비디오 프로세서는, 상기 CPU와 상기 회로 동작하여, 상기 비디오 디스플레이 장치로, 상기 출력 아날로그 복합 비디오 신호를 전송하는바, 상기 출력 아날로그 복합 비디오 신호는 상기 멀티플렉서의 제 1 비디오 출력 출력의 아날로그 복합 비디오 신호로 이루어진 풀 스크린 이미지(a full screen image)를 상기 디스플레이 장치 상에 생성하고, 상기 멀티플렉서의 제 2 비디오 출력 출력의 아날로그 복합 비디오 신호로 이루어진 픽처-인-픽처(a picture-in-picture) 이미지들 상기 디스플레이 장치 상에 생성할 것이며, 상기 PIP 이미지는 상기 풀 스크린 이미지에 중첩됨 - 와, 상기 CPU 및 상기 비디오 프로세서에 접속되어, 시스템 메모리 및 비디오 데이터를 수신하고, 저장하며, 전송하는 시스템 랜덤 액세스 메모리(a system random access memory)를 포함하는 비디오 디스플레이 시스템.

#### 청구항 2

제1항에 있어서, 상기 제 3 비디오 소스는 비디오 카세트 레코더/플레이어 장치인 비디오 디스플레이 시스템.

#### 청구항 3

제1항에 있어서, 상기 아날로그 멀티플렉서에 접속되어, 상기 아날로그 멀티플렉서에서 제 4 아날로그 복합 비디오 신호를 제공하는 제 4 비디오 소스를 더 포함하되, 상기 아날로그 멀티플렉서는 상기 CPU의 제어 하에 동작하여, 상기 제 1, 제 2, 제 3, 제 4 아날로그 복합 비디오 신호를 수신하고, (1) 상기 제 1, 제 2, 제 3 또는 제 4 아날로그 복합 비디오 중 어느 한 신호를 상기 제 1 아날로그 출력으로 공급하고, 이와 독립적으로, 동시에 (2) 상기 제 1, 제 2, 제 3 또는 제 4 아날로그 복합 비디오 신호 중 어느 한 신호를 상기 제 2 아날로그 출력으로 공급하는 비디오 디스플레이 시스템.

#### 청구항 4

제3항에 있어서, 상기 아날로그 멀티플렉서에 접속되어, 상기 아날로그 멀티플렉서에서 제 5 아날로그 복합 비디오 신호를 제공하는 제 5 비디오 소스를 더 포함하되, 상기 아날로그 멀티플렉서는 상기 CPU의 제어 하에 동작하여, 상기 제 1, 제 2, 제 3, 제 4 아날로그 복합 비디오 신호를 수신하고, (1) 상기 제 1, 제 2, 제 3, 제 4 또는 제 5 아날로그 복합 비디오 신호 중 어느 한 신호를 상기 제 1 아날로그 출력으로 공급하며, 이와 독립적으로, 동시에 (2) 상기 제 1, 제 2, 제 3, 제 4 또는 제 5 아날로그 복합 비디오 신호 중 어느 한 신호를 상기 제 2 아날로그 출력으로 공급하는 비디오 디스플레이 시스템.

#### 청구항 5

제4항에 있어서, 상기 아날로그 멀티플렉서에 접속되어, 상기 아날로그 멀티플렉서에서 제 6 아날로그 복합 비디오 신호를 제공하는 제 6 비디오 소스를 더 포함하되, 상기 아날로그 멀티플렉서는 상기 CPU의 제어 하에 동작하여, 상기 제 1, 제 2, 제 3, 제 4, 제 5 아날로그 복합 비디오 신호를 수신하고, (1) 상기 제 1, 제 2, 제 3, 제 4, 제 5 또는 제 6 아날로그 복합 비디오 신호 중 어느 한 신호를 상기 제 1 아날로그 출력으로 공급하며, 이와 독립적으로, 동시에 (2) 상기 제 1, 제 2, 제 3, 제 4, 제 5 또는 제 6 아날로그 복합 비디오 신호 중 어느 한 신호를 상기 제 2 아날로그 출력으로 공급하는 비디오 디스플레이 시스템.

#### 청구항 6

제5항에 있어서, 상기 아날로그 멀티플렉서에 접속되어, 상기 아날로그 멀티플렉서에서 제 7 아날로그 복합 비디오 신호를 제공하는 제 7 비디오 소스를 더 포함하되, 상기 아날로그 멀티플렉서는 상기 CPU의 제어 하에 동작하여, 상기 제 1, 제 2, 제 3, 제 4, 제 5, 제 6 아날로그 복합 비디오 신호를 수신하고, (1) 상기 제 1, 제 2, 제 3, 제 4, 제 5, 제 6 또는 제 7 아날로그 복합 비디오 신호 중 어느 한 신호를 상기 제 1 아날로그 출력으로 공급하며, 이와 독립적으로, 동시에 (2) 상기 제 1, 제 2, 제 3, 제 4, 제 5, 제 6 또는 제 7 아날로그 복합 비디오 신호 중 어느 한 신호를 상기 제 2 아날로그 출력으로 공급하는 비디오 디스플레이 시스템.

#### 청구항 7

제6항에 있어서, 상기 아날로그 멀티플렉서는 상기 제 3 비디오 소스에 접속되는 독립적인 제 3 아날로그 비디오 출력 신호를 더 포함하되, 상기 아날로그 멀티플렉서는 상기 CPU의 제어 하에 동작하여, 상기 제 1, 제 2, 제 3, 제 4, 제 5, 제 6 또는 제 7 아날로그 복합 비디오 신호를 수신하고, (1) 상기 제 1, 제 2, 제 3, 제 4, 제 5, 제 6 또는 제 7 아날로그 복합 비디오 신호 중 어느 한 신호를 상기 제 1 아날로그 출력으로 공급하고, 이와 독립적으로, 동시에 (2) 상기 제 1, 제 2, 제 3, 제 4, 제 5, 제 6 또는 제 7 아날로그 복합 비디오 신호 중 어느 한 신호를 상기 제 2 아날로그 출력으로 공급하며, (3) 상기 제 1, 제 2, 제 3, 제 4, 제 5, 제 6 또는 제 7 아날로그 복합 비디오 신호 중 어느 한 신호를 상기 제 3 아날로그 출력으로 공급하는 비디오 디스플레이 시스템.

#### 청구항 8

제7항에 있어서, 상기 제 1 비디오 소스는 제 1 튜너(a first tuner)이고, 상기 제 2 비디오 소스는 제 2 튜너이고, 상기 제 3 비디오 소스는 카세트 레코더/플레이어 장치이고, 상기 제 4 비디오 소스는 MPEG 압축 모듈(an MPEG decompression module)이고, 상기 제 5 비디오 소스는 상기 비디오 프로세서로부터의 출력 아날로그 복합 비디오 신호이고, 상기 제 6 소스는 카세트 플레이어 장치이며, 상기 제 7 비디오 소스는 게임 장치인 비디오 디스플레이 시스템.

#### 청구항 9

제1항에 있어서, ① 상기 비디오 디스플레이 장치로부터 다수 떨어진 거리에서 사용가능하며, 사용자의 손에 질 수 있는 정도의 크기의 하우징(a housing)과, 사용자에게 의한 조작을 위해 상기 하우징내에 장착된 수동 조작 가능한 입력 장치와, 상기 하우징내에 장착되고 상기 입력 장치에 접속되어, 사용자에게 의해 직접 변신되는 주파수 범위 밖의 소정 주파수에서 사용자에게 의한 상기 입력 장치의 조작에 따라 사전 설정된 방식으로 주파수

는 커맨드 신호를 전송하는 제어 전송 회로(control transmitter circuitry)를 구현하는 원격 제어 장치와, ② 상기 CPU 및 상기 비디오 프로세서에 접속되어, 상기 제어 전송 회로로부터 커맨드 신호를 수신하고, 상기 수신된 커맨드 신호로부터 상기 시각 이미지의 변경을 지시하는 이미지 지시 신호를 유도하는 커맨드 수신 회로를 더 포함한다. 상기 비디오 프로세서는 상기 커맨드 수신 회로에 접속되어, 상기 이미지 지시 신호를 수신하고, 사용자에 의해 상기 원격 제어 장치의 조작에 의해 지시되는 대로 따라 상기 시각 이미지를 변경시키는 커맨드 프로세서 회로를 더 포함하는 비디오 디스플레이 시스템.

#### 청구항 10

제1항에 있어서, ① 상기 비디오 디스플레이 장치로부터 디스플레이 거리에서 사용가능하며, 사용자의 손에 수 있는 정도의 크기의 하우징(a housing)과, 사용자의 의한 조작을 위해 상기 하우징에 장착된 수동 조작가능한 원격 장치와, 상기 하우징 내에 장착되고 상기 입력 장치에 접속되어, 사용자의 의해 직접 생성되는 사용자 범위 밖의 소리 출력에서 사용자의 의한 상기 입력 장치의 조작에 따라 사용자와의 상호작용을 제공하는 커맨드 신호를 전송하는 제어 전송 회로(control transmitter circuitry)를 구현하는 원격 제어 장치와, ② 상기 CPU 및 상기 비디오 프로세서에 접속되어, 상기 제어 전송 회로로부터 커맨드 신호를 수신하고, 상기 제 1 및 제 2 아날로그 복합 비디오 신호중 어떤 하나의 신호가 상기 멀티플렉서의 제 1 출력으로 공급되고, 상기 제 1 및 제 2 아날로그 복합 비디오 신호중 어떤 하나의 신호가 상기 멀티플렉서의 제 2 출력으로 공급될 것인지를 상기 수신된 커맨드 신호로부터 유도하는 커맨드 수신 회로 를 더 포함하는 비디오 디스플레이 시스템.

#### 청구항 11

비디오 디스플레이 시스템에 있어서, 중앙 처리 유닛(CPU)과, 각각 제 1 및 제 2 아날로그 복합 비디오 신호를 생성하는 적어도 제 1 및 제 2 비디오 소스, 상기 제 1 및 제 2 비디오 소스에 접속되어, 독립적인 제 1 및 제 2 아날로그 비디오 출력을 갖는 아날로그 멀티플렉서 - 상기 아날로그 멀티플렉서는 상기 CPU의 제어 하에 동작하며, 상기 제 1 및 제 2 아날로그 복합 비디오 신호를 수신하고, (1) 상기 제 1 또는 제 2 아날로그 복합 비디오 신호를 출력하는 한 신호를 상기 제 1 아날로그 출력을 공급하며, 이와 독립적으로 동시에 (2) 상기 제 1 또는 제 2 아날로그 복합 비디오 신호를 출력하는 한 신호를 상기 제 2 아날로그 비디오 출력을 공급할 - 외, 시각 이미지를 사용자에게 디스플레이하는 비디오 디스플레이 장치와, 상기 CPU와, 상기 제 1 및 제 2 아날로그 비디오 출력과, 상기 비디오 디스플레이 장치에 동기가능하게 접속되어, 상기 멀티플렉서로부터 상기 제 1 및 제 2 아날로그 비디오 출력 신호를 수신하고, 소정의 출력 아날로그 복합 비디오 신호(an output analog composite video signal)를 생성하는 비디오 프로세서 - 상기 비디오 프로세서는, 상기 CPU와, 제어 하에 동작하며, 상기 비디오 디스플레이 장치로, 상기 출력 아날로그 복합 비디오 신호를 전송하는 데, 상기 출력 아날로그 복합 비디오 신호는 상기 멀티플렉서의 제 1 비디오 출력 신호의 소정의 아날로그 복합 비디오 신호로 이루어진 풀 스크린 이미지(a full screen image)를 상기 디스플레이 장치 상에 생성하고, 상기 멀티플렉서의 제 2 비디오 출력 신호의 소정의 아날로그 복합 비디오 신호로 이루어진 픽처-인-픽처(a picture-in-picture)(PIP) 이미지를 상기 디스플레이 장치 상에 생성할 것이며, 상기 PIP 이미지는 상기 풀 스크린 이미지에 중첩될 - 외, 상기 비디오 프로세서에 접속되어, 디지털 데이터 스트림을 상기 비디오 프로세서에 제공하는 컴퓨터 디스플레이 제어기(a display control controller)와, 상기 CPU 및 상기 비디오 프로세서에 접속되어, 사용자 데이터와 비디오 데이터를 수신하고, 저장하고 전송하는 시스템 컨트롤러를 포함하는 비디오 디스플레이 시스템.

#### 청구항 12

제11항에 있어서, 상기 디지털 데이터 스트림은 오디오 신호를 포함하는 비디오 디스플레이 시스템.

#### 청구항 13

제12항에 있어서, 상기 디지털 데이터 스트림은 비디오 신호를 포함하되, 상기 비디오 프로세서는, 상기 CPU의 제어 하에 동작하며, 상기 멀티플렉서로부터 제 1 및 제 2 아날로그 비디오 출력과, 상기 멀티플렉서로부터 상기 제 2 아날로그 비디오 출력을, 상기 디지털 데이터 스트림을 수신하고, 상기 출력 아날로그 복합 비디오 신호를 상기 비디오 디스플레이 장치로 전송하며, 상기 출력 아날로그 복합 비디오 신호는, 상기 제 1 아날로그 비디오 출력과, 상기 제 2 아날로그 비디오 출력 또는 상기 디지털 데이터 스트림 중 어느 하나를 이루어진 풀 스크린 이미지를 상기 디스플레이 장치 상에 생성하고, 상기 제 1 아날로그 비디오 출력, 상기 제 2 아날로그 비디오 출력, 상기 디지털 데이터 스트림 중 어느 하나를 이루어진 픽처-인-픽처(PIP) 이미지를 상기 디스플레이 장치 상에 생성하는 비디오 디스플레이 시스템.

#### 청구항 14

중앙 처리 유닛(CPU)과, 각각 제 1 및 제 2 아날로그 복합 비디오 신호를 생성하는 적어도 제 1 및 제 2 비디오 소스, 상기 제 1 및 제 2 비디오 소스에 접속되어, 독립적인 제 1 및 제 2 아날로그 비디오 출력을 갖는 아날로그 멀티플렉서 - 상기 아날로그 멀티플렉서는 상기 CPU의 제어 하에 동작하며, 상기 제 1 및 제 2 아날로그 복합 비디오 신호를 수신하고, (1) 상기 제 1 또는 상기 제 2 아날로그 복합 비디오 신호 중 어느 한 신호를 상기 제 1 아날로그 출력을 공급하며, 이와 독립적으로 동시에 (2) 상기 제 1 또는 제 2 아날로그 복합 비디오 신호 중 어느 한 신호를 상기 제 2 아날로그 비디오 출력을 공급할 - 외, 시각 이미지를 사용자에게 디스플레이하는 비디오 디스플레이 장치와, 상기 CPU와, 상기 제 1 및 제 2 아날로그 비디오 출력과, 상기 비디오 디스플레이 장치에 동기가능하게 접속되어, 상기 멀티플렉서로부터 상기 제 1 및 제 2 아날로그 비디오 출력 신호를 수신하고, 소정의 출력 아날로그 복합 비디오 신호(an output analog composite video signal)를 생성하는 비디오 프로세서 - 상기 비디오 프로세서는, 상기 CPU와, 제어 하에 동작하며, 상기 비디오 디스플레이 장치로, 상기 출력 아날로그 복합 비디오 신호를 전송하는 데, 상기 출력 아날로그 복합 비디오 신호는 상기 멀티플렉서의 제 1 비디오 출력 신호의 소정의 아날로그 복합 비디오 신호로 이루어진 풀 스크린 이미지(a full screen image)를 상기 디스플레이 장치 상에 생성하고, 상기 멀티플렉서의 제 2 비디오 출력 신호의 소정의 아날로그 복합 비디오 신호로 이루어진 픽처-인-픽처(a picture-in-picture)(PIP) 이미지를 상기 디스플레이 장치 상에 생성할 것이며, 상기 PIP 이미지는 상기 풀 스크린 이미지에 중첩될 - 외, 상기 CPU 및 상기 비디오 프로세서에 접속되어, 사용자 데이터와 비디오 데이터를 수신하고, 저장하고, 전송하는 시스템 컨트롤러를 포함하되, 상기 제 1 비디오 소스는, 상기 사용자의 의해 직접 생성되는 주주상 범위 밖의 주주상에서 전송되는 신호를 수신하는 비디오 수신 회로에 접속된 제 1 유닛을 포함하고, 상기 제 1 유닛은

는 상기 신호를 갖기 상기 제 1 아날로그 궤합 비디오 신호로 변환하는 동작을 수행하며, 상기 제 2 비디오 소스는 제 2 튜너, 비디오 카세트 레코더/플레이어 장치, MPEG 압축복원 모듈, 상기 비디오 프로세서로부터의 상기 출력 아날로그 궤합 비디오 신호, 카메라 장치 및 게임 장치로 이루어진 그룹으로부터 선택된 소스인 비디오 디스플레이 시스템.

#### 청구항 15

제14항에 있어서, 상기 제 2 비디오 소스는, 상기 사용자에 의해 직접 생성되는 주파수 범위 주파수들에 서 전송되는 신호들을 수신하는 비디오 수신기로써 접속된 제 2 튜너를 포함하고, 상기 제 2 튜너는 상기 신호들을 갖기 상기 제 2 아날로그 궤합 비디오 신호로 변환하는 동작을 수행하는 비디오 디스플레이 시스템.

#### 청구항 16

비디오 디스플레이 장치를 사용하여 사용자에게 시각 이미지를 디스플레이 하는 방법에 있어서, 제 1, 제 2 및 제 3 아날로그 궤합 비디오 신호를 수신하고, 비디오 디스플레이 장치에 제공하는 단계 - 상기 멀티플렉서는 독립적인 제 1, 제 2 및 제 3 출력을 구비하고, 상기 독립적인 제 3 출력은 상기 제 3 아날로그 궤합 비디오 신호에 대응함 - 및, 상기 멀티플렉서의 제 1 출력으로 공급된 상기 제 1, 제 2 및 제 3 아날로그 궤합 비디오 신호를 하나로써 선택하는 제 1 선택 단계와, 상기 제 1 선택 단계와 독립적으로, 동시에, 상기 멀티플렉서의 제 2 출력으로 공급된, 상기 제 1, 제 2 및 제 3 아날로그 궤합 비디오 신호중 하나를 선택하는 제 2 선택 단계와, 상기 제 1 및 제 2 선택 단계와 독립적으로, 동시에, 상기 멀티플렉서의 제 3 출력으로 공급된, 상기 제 1, 제 2 및 제 3 아날로그 궤합 비디오 신호중 하나를 선택하는 단계와, 비디오 프로세서에서 상기 멀티플렉서의 제 1 및 제 2 출력을 수신하는 단계와, OPI와 제어 하에 상기 비디오 프로세서를 이용하여, 상기 멀티플렉서의 제 1 비디오 출력의 상기 아날로그 궤합 비디오 신호의 일부와 상기 멀티플렉서의 제 2 비디오 출력의 상기 아날로그 궤합 비디오 신호의 일부를 모두 가진 이미지를 상기 비디오 디스플레이 장치 상에 재구성 출력 아날로그 궤합 비디오 신호를 생성하는 단계를 포함하는 시각 이미지 디스플레이 방법.

#### 청구항 17

제16항에 있어서, 출력 아날로그 궤합 비디오 신호를 생성하는 상기 단계는, 상기 디스플레이 장치 상에 상기 멀티플렉서의 제 1 비디오 출력상의 아날로그 궤합 비디오 신호의 일 이미지를 제공하고, 상기 디스플레이 장치 상에 상기 멀티플렉서의 제 2 비디오 출력상의 아날로그 궤합 비디오 신호의 픽셀-안티앨리어싱 이미지를 제공하고, 상기 PIP 이미지는 상기 풀 스크린 이미지에 중첩되는 단계를 포함하는 시각 이미지 디스플레이 방법.

#### 청구항 18

제16항에 있어서, 상기 아날로그 멀티플렉서로 제 4 아날로그 궤합 비디오 신호를 제공하는 단계를 더 포함하고, 상기 제 1 선택 단계는 상기 멀티플렉서의 제 1 출력으로 공급된, 상기 제 1, 제 2, 제 3 또는 제 4 아날로그 궤합 비디오 신호중 하나를 선택하는 단계를 포함하며, 상기 제 2 선택 단계는, 상기 제 1 선택 단계와 독립적으로, 동시에, 상기 멀티플렉서의 제 2 출력으로 공급된, 상기 제 1, 제 2, 제 3 또는 제 4 아날로그 궤합 비디오 신호중 하나를 선택하는 단계를 포함하는 시각 이미지 디스플레이 방법.

#### 청구항 19

제18항에 있어서, 상기 아날로그 멀티플렉서로 제 5, 제 6, 제 7 아날로그 궤합 비디오 신호를 제공하는 단계를 더 포함하고, 상기 제 1 선택 단계는 상기 멀티플렉서의 제 1 출력으로 공급된, 상기 제 1, 제 2, 제 3, 제 4, 제 5, 제 6 또는 제 7 아날로그 궤합 비디오 신호중 하나를 선택하는 단계를 포함하며, 상기 제 2 선택 단계는, 상기 제 1 선택 단계와 독립적으로, 동시에, 상기 멀티플렉서의 제 2 출력으로 공급된, 상기 제 1, 제 2, 제 3, 제 4, 제 5, 제 6 또는 제 7 아날로그 궤합 비디오 신호중 하나를 선택하는 단계를 포함하는 시각 이미지 디스플레이 방법.

#### 청구항 20

제19항에 있어서, 상기 아날로그 멀티플렉서는 상기 제 3 비디오 소스에 접속되는 독립적인 제 3 아날로그 비디오 출력을 포함하며, 상기 제 1 선택 단계는 상기 멀티플렉서의 제 1 출력으로 공급된, 상기 제 1, 제 2, 제 3, 제 4, 제 5, 제 6 또는 제 7 아날로그 궤합 비디오 신호중 하나를 선택하는 단계를 포함하고, 상기 제 2 선택 단계는, 상기 제 1 선택 단계와 독립적으로, 동시에, 상기 멀티플렉서의 제 2 출력으로 공급된, 상기 제 1, 제 2, 제 3, 제 4, 제 5, 제 6 또는 제 7 아날로그 궤합 비디오 신호를 하나를 선택하는 단계를 포함하며, 상기 제 1 및 제 2 선택 단계와 독립적으로, 동시에, 상기 제 3 멀티플렉서 출력으로 공급된, 상기 제 1, 제 2, 제 3, 제 4, 제 5, 제 6 또는 제 7 아날로그 궤합 비디오 신호중 하나를 선택하는 단계를 더 포함하는 시각 이미지 디스플레이 방법.

#### 청구항 21

제19항에 있어서, 비디오 디스플레이 장치로부터 떨어진 거리에서 수동으로 조작가능하고, 사용자에 의해 조작 가능한 입력 장치를 이용하여, 상기 디스플레이된 시각 이미지의 원하는 변경을 지시하는 비디오 신호를 생성하고, 상기 생성된 신호를 커맨드 전송기로 전송하는 단계와 상기 커맨드 전송기로부터, 사용자에 의해 직접 생성되는 주파수 범위 밖의 소정의 주파수에서, 상기 사용자에 의한 상기 입력 장치의 조작에 따라 시점선정 방식으로 구성된 상기 커맨드 신호를 전송하는 단계와 상기 커맨드 전송기로부터 상기 커맨드 신호를 수신하고, 상기 수신된 커맨드 신호로부터 상기 시각 이미지의 변경을 지시하는 이미지 지시 신호를 유도하는 단계와 상기 이미지 신호를 수신하고, 사용자에 의해 상기 시각 입력 장치의 조작에 의해 지시되는 바의 같이 상기 시각 이미지를 변경하는 단계를 더 포함하는 시각 이미지 디스플레이 방법.

#### 청구항 22

제19항에 있어서, 비디오 디스플레이 장치로부터 떨어진 거리에서 수동으로 조작가능하고, 사용자에 의해 조작 가능한 입력 장치를 이용하여, 상기 디스플레이된 시각 이미지의 원하는 변경을 지시하는 커맨드 신호를 생성하고, 상기 생성된 신호를 커맨드 전송기로 전송하는 단계와, 상기 커맨드 전송기로부터, 사용자에 의해 직접 생성되는 주파수 범위 밖의 소정의 주파수에서, 상기 사용자에 의한 상기 입력 장치의 조작에 따라 시점선정

방식으로 구현된 상기 커맨드 신호를 전송하는 단계와 상기 커맨드 전송기로부터 상기 커맨드 신호를 수신하고, 상기 제 1 및 제 2 아날로그 복합 비디오 신호 중 어떤 하나의 신호가 멀티플렉서의 제 1 출력으로 공급되고, 상기 제 1 및 제 2 아날로그 복합 비디오 신호 중 어떤 하나의 신호가 멀티플렉서의 제 2 출력으로 공급되는지를 상기 수신된 커맨드 신호로부터 유도하는 단계를 더 포함하는 서각 이미지 디스플레이 방법.

#### 청구항 23

제22항에 있어서, 상기 CPU 및 상기 비디오 프로세서에 접속되는 단일 시스템 랜덤 액세스 메모리를 사용하여 시스템 데이터, 비디오 데이터, 그래픽 데이터, 전자 프로그램 안내 데이터를 수신하고, 저장하며, 전송하는 단계를 더 포함하는 서각 이미지 디스플레이 방법.

#### 청구항 24

중앙 처리 유닛(CPU)과, 각각 제 1 및 제 2 아날로그 복합 비디오 신호를 생성하는 적어도 제 1 및 제 2 비디오 소스와, 상기 제 1 및 제 2 비디오 소스에 접속되며, 독립적인 제 1 및 제 2 아날로그 비디오 출력을 갖는 아날로그 멀티플렉서 - 상기 아날로그 멀티플렉서는 상기 CPU의 제어 하에 동작하며, 상기 제 1 및 제 2 아날로그 복합 비디오 신호를 수신하고, (1) 상기 제 1 또는 상기 제 2 아날로그 복합 비디오 신호 중 어느 한 신호를 상기 제 1 아날로그 출력으로 공급하며, 이와 독립적으로, 동시에 (2) 상기 제 1 또는 제 2 아날로그 복합 비디오 신호 중 어느 한 신호를 상기 제 2 아날로그 비디오 출력으로 공급함 - 와, 서각 이미지들 시 용자에게 디스플레이하는 비디오 디스플레이 장치와, 상기 제 1 및 제 2 아날로그 비디오 출력과, 상기 비디오 디스플레이 장치에 동작가능하게 접속되어, 상기 멀티플렉서로부터 상기 제 1 및 제 2 아날로그 비디오 출력을 수신하고, 소정의 출력 아날로그 복합 비디오 신호(an output analog composite video signal)를 생성하는 비디오 프로세서 - 상기 비디오 프로세서는, 상기 CPU의 제어 하에 동작하며, 상기 비디오 디스플레이 장치로, 상기 출력 아날로그 복합 비디오 신호를 전송하는데, 상기 출력 아날로그 복합 비디오 신호는 상기 멀티플렉서의 제 1 비디오 출력 상의 소정의 아날로그 복합 비디오 신호에 이루어진 풀 스크린 이미지(full screen image)를 상기 디스플레이 장치 상에 생성하고, 상기 멀티플렉서의 제 2 비디오 출력 상의 소정의 아날로그 복합 비디오 신호로 이루어진 픽처-인-픽처(picture-in-picture)(PIP) 이미지를 상기 디스플레이 장치 상에 생성한 것이며, 상기 PIP 이미지는 상기 풀 스크린 이미지에 중첩됨 - 와, 상기 CPU 및 상기 비디오 프로세서에 접속되어, 시스템 데이터와 비디오 데이터를 수신하고, 저장하고 전송하는 시스템 랜덤 액세스 메모리를 포함하며, 상기 비디오 프로세서는 상기 시스템 랜덤 액세스 메모리에 저장되어, 상기 비디오 프로세서에 의해 출력된 상기 출력 아날로그 복합 비디오 신호 상으로 중첩되는 시스템 그래픽을 생성하도록 동작하는 비디오 디스플레이 시스템.

#### 청구항 25

중앙 처리 유닛(CPU)과, 각각 제 1 및 제 2 아날로그 복합 비디오 신호를 생성하는 적어도 제 1 및 제 2 비디오 소스와, 상기 제 1 및 제 2 비디오 소스에 접속되며, 독립적인 제 1 및 제 2 아날로그 비디오 출력을 갖는 아날로그 멀티플렉서 - 상기 아날로그 멀티플렉서는 상기 CPU의 제어 하에 동작하며, 상기 제 1 및 제 2 아날로그 복합 비디오 신호를 수신하고, (1) 상기 제 1 또는 상기 제 2 아날로그 복합 비디오 신호 중 어느 한 신호를 상기 제 1 아날로그 출력으로 공급하며, 이와 독립적으로, 동시에 (2) 상기 제 1 또는 제 2 아날로그 복합 비디오 신호 중 어느 한 신호를 상기 제 2 아날로그 비디오 출력으로 공급함 - 와, 서각 이미지들 시 용자에게 디스플레이하는 비디오 디스플레이 장치와, 상기 제 1 및 제 2 아날로그 비디오 출력과, 상기 비디오 디스플레이 장치에 동작가능하게 접속되어, 상기 멀티플렉서로부터 상기 제 1 및 제 2 아날로그 비디오 출력을 수신하고, 소정의 출력 아날로그 복합 비디오 신호(an output analog composite video signal)를 생성하는 비디오 프로세서 - 상기 비디오 프로세서는, 상기 CPU의 제어 하에 동작하며, 상기 비디오 디스플레이 장치로, 상기 출력 아날로그 복합 비디오 신호를 전송하는데, 상기 출력 아날로그 복합 비디오 신호는 상기 멀티플렉서의 제 1 비디오 출력 상의 소정의 아날로그 복합 비디오 신호에 이루어진 풀 스크린 이미지(full screen image)를 상기 디스플레이 장치 상에 생성하고, 상기 멀티플렉서의 제 2 비디오 출력 상의 소정의 아날로그 복합 비디오 신호로 이루어진 픽처-인-픽처(picture-in-picture)(PIP) 이미지를 상기 디스플레이 장치 상에 생성한 것이며, 상기 PIP 이미지는 상기 풀 스크린 이미지에 중첩됨 - 와, 상기 CPU 및 상기 비디오 프로세서에 접속되어, 시스템 데이터와 비디오 데이터를 수신하고, 저장하고 전송하는 시스템 랜덤 액세스 메모리를 포함하며, 상기 비디오 프로세서는 상기 시스템 랜덤 액세스 메모리에 저장되어, 상기 비디오 프로세서에 의해 출력된 상기 출력 아날로그 복합 비디오 신호 상으로 중첩되는 시스템 그래픽을 생성하도록 동작하는 비디오 디스플레이 시스템.

#### 청구항 26

비디오 디스플레이 장치를 사용하여 서용자에게 서각 이미지를 디스플레이하는 방법에 있어서, 제 1 및 제 2 아날로그 복합 비디오 신호를 아날로그 비디오 멀티플렉서로 제공하는 단계 - 상기 멀티플렉서는 제 1 및 제 2 출력으로, 각각, 와, 상기 멀티플렉서의 제 1 출력으로 공급됨, 상기 제 1 및 제 2 아날로그 복합 비디오 신호 중 하나를 선택하는 제 1 선택 단계와, 독립적으로, 동시에, 상기 멀티플렉서의 제 2 출력으로 공급됨, 상기 제 1 및 제 2 아날로그 복합 비디오 신호 중 하나를 선택하는 제 2 선택 단계와, 비디오 프로세서에서 상기 멀티플렉서의 제 1 및 제 2 출력을 수신하는 단계와, 디지털 데이터 스트림을 상기 콤팩트 디스크 재기록부터 상기 비디오 프로세서로 제공하는 단계와, CPU의 제어하에 상기 비디오 프로세서를 이용하여, 상기 멀티플렉서의 제 1 비디오 출력 상의 상기 아날로그 복합 비디오 신호의 일부와 상기 멀티플렉서의 제 2 비디오 출력 상의 상기 아날로그 복합 비디오 신호의 일부로 이루어진 이미지를 상기 비디오 디스플레이 장치 상에 제공함 출력 아날로그 복합 비디오 신호를 생성하는 단계를 포함하는 서각 이미지 디스플레이 방법.

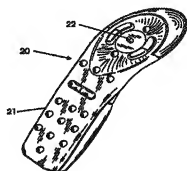
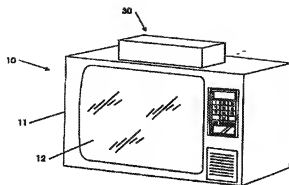
#### 청구항 27

제26항에 있어서, 출력 아날로그 복합 비디오 신호를 생성하는 상기 단계는 상기 멀티플렉서의 제 1 출력, 상기 멀티플렉서의 제 2 출력 또는 상기 디지털 데이터 스트림 중 어느 하나로 이루어진 풀 스크린 이미지들 및 상기 디스플레이 장치 상에 생성하고, 상기 멀티플렉서의 제 1 출력, 상기 멀티플렉서의 제 2 출력 또는 상기 디지털 데이터 스트림 중 어느 하나로 이루어진 픽처-인-픽처(PIP) 이미지를 상기 디스플레이 장치 상에 중첩

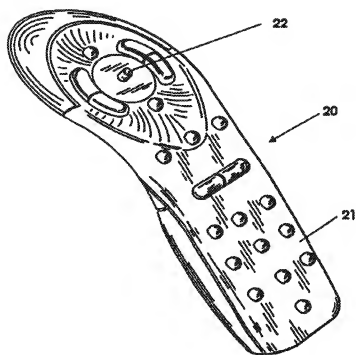
하는 시각 이미지 디스플레이 방법.

도면

도면 1



도 2

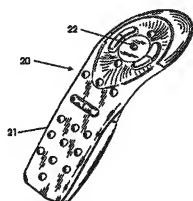
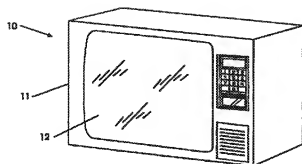


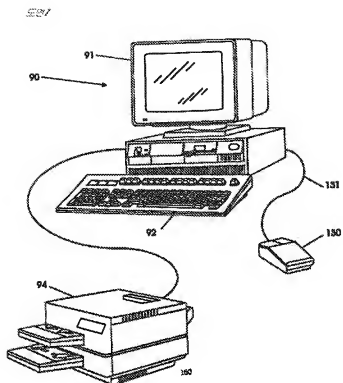






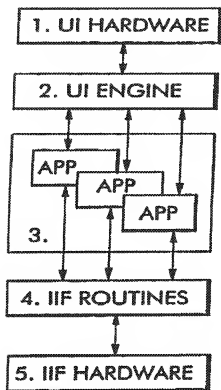
526







도면 10



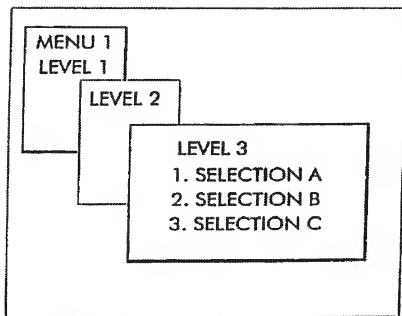
*END*

MENU1@CARD 1  
WEATHER@CARD2  
SPORTS@CARD3  
@

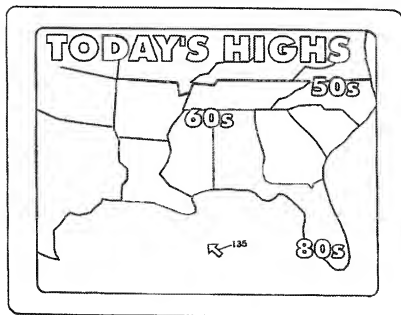
@CARD2 FLOW  
@CARD3  
IF 1==1@CARD9  
@

MENU2@CARD3  
SELECTION A@CARD11  
SELECTION B@CARD12  
SELECTION C@CARD13  
@

도면 12

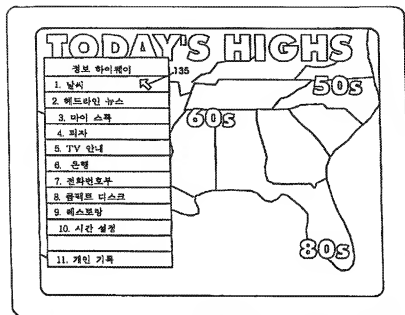


도면 13

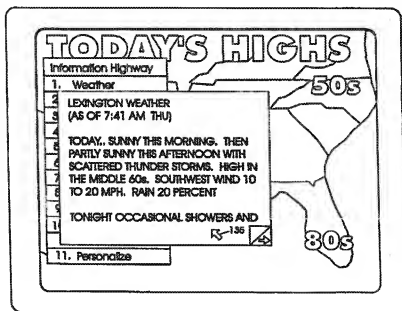




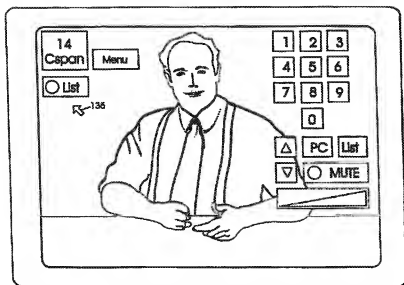
도면 14



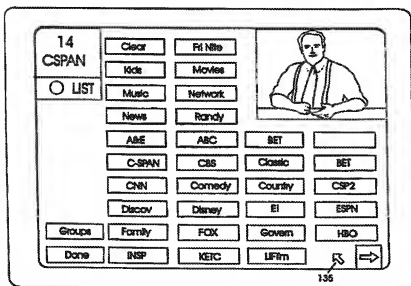
도면 15



도면 16



도면 17



도면 18

